

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-150423

(43)Date of publication of application : 02.06.1998

(51)Int.Cl.

H04J 3/06

H04J 3/00

H04L 7/00

H04L 7/08

(21)Application number : 08-305346

(71)Applicant : FUJITSU LTD

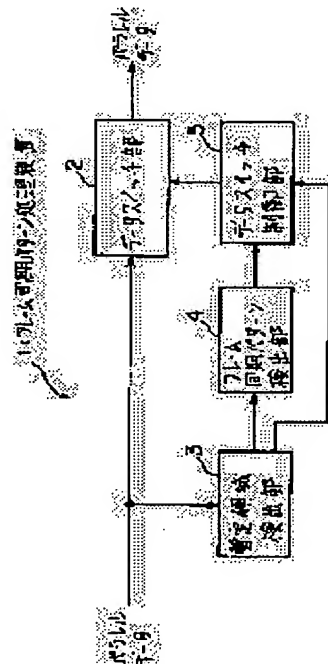
(22)Date of filing : 15.11.1996

(72)Inventor : NAKAMURA YOSHINORI
TAKATSU KAZUHISA**(54) FRAME SYNCHRONIZATION PATTERN PROCESSING UNIT, FRAME SYNCHRONIZATION PATTERN DETECTOR AND FRAME SYNCHRONIZATION PATTERN DETECTION METHOD**

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately detect a frame synchronization pattern in m-parallel data even when a frame synchronization pattern in m-parallel data is not detected in m-ways.

SOLUTION: The processing unit is provided with a data switch section 2 that applies data rearrangement processing to parallel data having a frame synchronization pattern based on the synchronous digital hierarchy(SDH) system so that a frame synchronization pattern comes first, a tentative area detection section 3 that tentatively detects an object of area data including the frame synchronization pattern from the parallel data, a frame synchronization pattern detection section 4 that detects the frame synchronization pattern from the tentative area data, and a data switch control section 5 that controls data rearrangement processing by the data switch section 2 depending on the tentative area data detection state by the tentative area detection section 3 and the detection state of the frame synchronization pattern by the frame synchronization pattern detection section 4.

**LEGAL STATUS**

[Date of request for examination] 23.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3415378

TRUC NAME DI ANK (ISPTO)

[Date of registration] 04.04.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE RI ANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-150423

(43)公開日 平成10年(1998) 6 月 2 日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 J 3/06

H 0 4 J 3/06

A

3/00

3/00

V

H 0 4 L 7/00

H 0 4 L 7/00

Z

7/08

7/08

A

審査請求 未請求 請求項の数20 O L (全 39 頁)

(21)出願番号

特願平8-305346

(22)出願日

平成8年(1996)11月15日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 中村 善律

大阪府大阪市中央区城見2丁目2番6号

富士通関西デジタル・テクノロジー株式会
社内

(72)発明者 高津 和央

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 真田 有

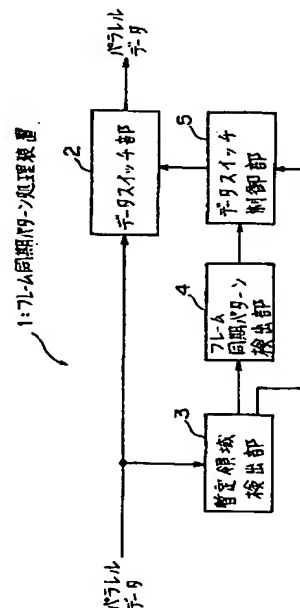
(54)【発明の名称】 フレーム同期パターン処理装置並びにフレーム同期パターン検出装置及びフレーム同期パターン
検出方法

(57)【要約】

【課題】 m並列データ中のフレーム同期パターンをm
通り検出可能にせしなくとも、正確に、m並列データ中の
フレーム同期パターンを検出する。

【解決手段】 S D H伝送方式に基づくフレーム同期パ
ターンを有するパラレルデータに対して上記のフレーム
同期パターンが先頭となるようデータ並べ替え処理を施
すデータスイッチ部2と、上記パラレルデータより上記
のフレーム同期パターンが含まれる領域データの候補を
暫定的に検出する暫定領域検出部3と、この暫定領域検
出部3からの上記暫定領域データより上記のフレーム同
期パターンを検出するフレーム同期パターン検出部4
と、暫定領域検出部3での上記暫定領域データの検出状
態およびフレーム同期パターン検出部4での上記フレ
ーム同期パターンの検出状態に応じて、データスイ
ッチ部2によるデータ並べ替え処理を制御するデータス
イッチ制御部5とをそなえるように構成する。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 SDH伝送方式に基づくフレーム同期パターンを有する多重シリアルデータをシリアル/パラレル変換して得られるパラレルデータに対して上記のフレーム同期パターンが先頭となるようデータ並べ替え処理を施すデータスイッチ部と、

上記パラレルデータより、上記のフレーム同期パターンが含まれる領域データの候補を暫定的に検出し、その暫定領域データをシリアル化する暫定領域検出部と、
該暫定領域検出部からの上記暫定領域データより、上記のフレーム同期パターンを検出するフレーム同期パターン検出部と、

該暫定領域検出部での上記暫定領域データの検出状態および該フレーム同期パターン検出部での上記フレーム同期パターンの検出状態に応じて、該データスイッチ部によるデータ並べ替え処理を制御するデータスイッチ制御部とをそなえて構成されたことを特徴とする、フレーム同期パターン処理装置。

【請求項2】 該暫定領域検出部が、
上記フレーム同期パターンの上記パラレルデータ内における暫定位置情報を検出する暫定位置情報検出部と、
該暫定位置情報検出部において検出された該暫定位置情報を基準位置とした所定の領域のパラレルデータを上記暫定領域データとして順次保持しながらシリアルに出力する暫定領域データ保持部とをそなえて構成されたことを特徴とする、請求項1記載のフレーム同期パターン処理装置。

【請求項3】 該暫定位置情報検出部が、
上記パラレルデータよりA1バイトを検出するA1バイト検出部と、
上記パラレルデータよりA2バイトを検出するA2バイト検出部と、

該A1バイト検出部及び該A2バイト検出部の検出動作を上記のA1バイト、A2バイトの検出タイミングに応じて切り替える切り替え制御部とをそなえ、
該切り替え制御部の切り替え動作により該A1バイト検出部において該A1バイトが検出されたのち該A2バイト検出部において該A2バイトが検出されると、該A2バイトの検出位置を該暫定位置情報として該暫定領域データ保持部へ供給するように構成されたことを特徴とする、請求項2記載のフレーム同期パターン処理装置。

【請求項4】 該A1バイト検出部が、
上記パラレルデータ中に存在しうるA1バイト先頭位置毎に該A1バイトを1バイト分検出するように構成されるときともに、

該A2バイト検出部が、
上記パラレルデータ中に存在しうるA2バイト先頭位置毎に該A2バイトを1バイト分検出するように構成されたことを特徴とする、請求項3記載のフレーム同期パターン処理装置。

【請求項5】 該切り替え制御部が、

該A1バイト検出部においてA1バイトが検出されると、該A1バイト検出部の検出動作を停止させるとともに該A2バイト検出部の検出動作を開始させる一方、該A2バイト検出部においてA2バイトが検出されると、該A2バイト検出部の検出動作を停止させるとともに該A1バイト検出部の検出動作を開始させる制御部をそなえて構成されたことを特徴とする、請求項3記載のフレーム同期パターン処理装置。

【請求項6】 該制御部が、
JKタイプのフリップフロップ回路を用いて構成されたことを特徴とする、請求項5記載のフレーム同期パターン処理装置。

【請求項7】 該切り替え制御部が、

該A1バイト検出部での該A1バイトの検出状態、該A2バイト検出部での該A2バイトの検出状態に基づいて上記暫定領域データの有効/無効を判定し、上記暫定領域データが無効な場合は、該暫定位置情報の該暫定領域データ保持部への供給を禁止するための無効処理を行なう無効処理部をそなえて構成されたことを特徴とする、請求項3記載のフレーム同期パターン処理装置。

【請求項8】 該無効処理部が、

該A1バイト検出部において検出された該A1バイトの先頭位置と該A2バイト検出部において検出された該A2バイトの先頭位置とを比較して、各先頭位置が異なる場合に、上記暫定領域データを無効と判断して、上記無効処理を実行するように構成されたことを特徴とする、請求項7記載のフレーム同期パターン処理装置。

【請求項9】 該無効処理部が、

該A1バイト検出部において検出された該A1バイトの先頭位置を一時的に保持するA1バイト先頭位置保持部と、

該A1バイト先頭位置保持部に保持された該A1バイトの先頭位置と、該A2バイト検出部において検出された該A2バイトの先頭位置とを比較する比較部とをそなえ、

該比較部での比較により、該A1バイトの先頭位置と該A2バイトの先頭位置とが異なると判定されると、上記暫定領域データを無効と判断して、上記無効処理を実行するように構成されたことを特徴とする、請求項8記載のフレーム同期パターン処理装置。

【請求項10】 該無効処理部が、

該A1バイト検出部において該A1バイトが検出されると所定時間カウント動作を行なうタイマをそなえ、
該タイマのカウント動作が終了するまでに、該A2バイト検出部において該A2バイトが検出されない場合に、上記暫定領域データを無効と判断して、上記無効処理を実行するように構成されたことを特徴とする、請求項7記載のフレーム同期パターン処理装置。

【請求項11】 該無効処理部が、

該A1バイト検出部において該A1バイトが連続して検出されたか否かを監視するA1バイト連続性監視部をそなえ、

該A1バイト連続性監視部において該A1バイトの連続性が確認されず、且つ、該A2バイト検出部において該A2バイトが検出されない場合に、上記暫定領域データを無効と判断して、上記無効処理を実行するように構成されたことを特徴とする、請求項7記載のフレーム同期パターン処理装置。

【請求項12】 該暫定位置情報検出部が、上記パラレルデータの複数タイムスロット上から該A1バイト、該A2バイトを同時に検出するA1・A2バイト検出部をそなえ、

該A1・A2バイト検出部において該A1バイト、該A2バイトが同時に検出されると、その検出位置を該暫定位置情報として該暫定領域データ保持部へ供給するように構成されたことを特徴とする、請求項2記載のフレーム同期パターン処理装置。

【請求項13】 該暫定領域データ保持部が、入力データを一時的に保持してシフトするシフト回路を上記パラレルデータの並列度に応じ複数段数有したシフト段を複数そなえ、

該暫定位置情報検出部において該暫定位置情報が検出されると、該シフト段内部において下位段側のシフト回路の出力を上位段側のシフト回路の入力に順次接続するとともに、該シフト段における最上位段のシフト回路の出力を後段のシフト段における最下位段のシフト回路の入力に接続することにより、入力パラレルデータをシリアル化するように構成されたことを特徴とする、請求項2記載のフレーム同期パターン処理装置。

【請求項14】 上記暫定領域データ以外のパラレルデータが入力されると該暫定領域データ保持部の出力をマスクするマスク処理部が付加されたことを特徴とする、請求項2記載のフレーム同期パターン処理装置。

【請求項15】 該フレーム同期パターン検出部が、該暫定領域検出部と協働して動作することにより、上記フレーム同期パターンの検出を、上記暫定領域データのシリアル化処理を利用して行なうように構成されたことを特徴とする、請求項1記載のフレーム同期パターン処理装置。

【請求項16】 該データスイッチ制御部が、該暫定領域検出部において上記暫定領域データが検出されてから該フレーム同期パターン検出部において上記フレーム同期パターンが検出されるまでの期間に相当するデータシフト量を、該データスイッチ部用の制御信号として生成するように構成されたことを特徴とする、請求項1記載のフレーム同期パターン処理装置。

【請求項17】 該データスイッチ制御部が、該暫定領域検出部において上記暫定領域データが検出されると、上記パラレルデータの並列数分のカウンタ値の

カウントを行なうカウンタをそなえ、

該フレーム同期パターン検出部において上記フレーム同期パターンが検出された時点の該カウンタのカウンタ値を、該データシフト量として該データスイッチ部へ供給するように構成されたことを特徴とする、請求項16記載のフレーム同期パターン処理装置。

【請求項18】 SDH伝送方式に基づくフレーム同期パターンを有する多重データより、上記のフレーム同期パターンが含まれる領域データの候補を暫定的に検出する暫定領域検出部と、

該暫定領域検出部において検出された上記の暫定領域データより、上記のフレーム同期パターンを検出するフレーム同期パターン検出部とをそなえて構成されたことを特徴とする、フレーム同期パターン検出装置。

【請求項19】 所定のフレーム同期パターンを有するデータより、そのフレーム同期パターンが含まれる領域データの候補を暫定的に検出する暫定領域検出部と、該暫定領域検出部において検出された上記の暫定領域データより、上記のフレーム同期パターンを検出するフレーム同期パターン検出部とをそなえて構成されたことを特徴とする、フレーム同期パターン検出装置。

【請求項20】 所定のフレーム同期パターンを有するデータより、前記のフレーム同期パターンが含まれる領域データの候補を暫定的に検出し、その暫定領域データより、前記のフレーム同期パターンを検出することを特徴とする、フレーム同期パターン検出方法。

【発明の詳細な説明】

【0001】(目次)

発明の属する技術分野

従来の技術

(A) SDH (SONET) 伝送方式の概要説明

(B) SDH (SONET) 伝送網の説明(図40～図46)

発明が解決しようとする課題(図47, 図48)

課題を解決するための手段(図1, 図2)

発明の実施の形態

(A) フレーム同期パターン処理装置の全体説明(図3, 図4)

(B) 暫定フレーム同期パターン検出部の詳細説明(図5～図27)

(C) 暫定領域データラッチ部の詳細説明(図28～図32)

(D) フレーム同期パターン検出部の詳細説明(図33, 図34)

(E) バイトスイッチ制御部の詳細説明(図35～図39)

(F) その他

発明の効果

【0002】

【発明の属する技術分野】本発明は、フレーム同期パタ

ーン処理装置並びにフレーム同期パターン検出装置及びフレーム同期パターン検出方法に関し、特に、SDH(Synchronous Digital Hierarchy)やSONET(Synchronous Optical Network)などの同期デジタル伝送網に用いて好適な、フレーム同期パターン処理装置並びにフレーム同期パターン検出装置及びフレーム同期パターン検出方法に関する。

【0003】

【従来の技術】

(A) SDH伝送方式の概要説明

周知のように、B-ISDNの実現に向けて、ITU-Tでは、国際的に統一されたデジタルハイアラキとしてSDHを標準化している(ただし、北米などでは上記のSONETを独自のデジタルハイアラキとして標準化している)。

【0004】このSDH(あるいはSONET)では、いくつかの低次群レベルの信号に保守・運用のための情報を有するオーバーヘッドを付けては多重していくという多重化方法を採用しており、このために多重化フレームは、項目(B)において後述するように、各速度毎に豊富な保守・運用情報を含んだフォーマットを有している。

【0005】なお、上記のオーバーヘッドには、通常、伝送路用のセクションオーバーヘッド(SOH)とパス用のパスオーバーヘッド(POH)とがあり、一般には低次群側(低次群レベル)の信号にPOHを付加しながら多重化していき、最後にSOHが付加されるようになっている。

(B) SDH(SONET)伝送網の説明

図40はSDH(SONET)伝送網の一例を示すブロック図で、この図40において、301は加入者端末、302は回線終端装置(NT)、303、306はそれぞれ伝送端局装置(LT)、304は交換装置(SW)、305は多重化装置(MUX)、307は中継伝送路である。

【0006】そして、この図40に示すSDH(SONET)伝送網では、複数の加入者端末301からの低次群レベルのデータが、多重化装置305においてバイト多重されることにより、STM-N(STS-M)フレーム(ただし、N、Mはそれぞれ多重度を表し、N=1, 4, 16, 64, ……: M=3, 12, 48, 192, ……である)に組み上げられ、伝送端局装置306でオーバーヘッド(SOH, POH)の終端/付け替え処理、AU/TUポインタの終端/付け替え等の処理を施されて、対向する加入者端末301側へ中継伝送路307を通じて伝送されるようになっている。

【0007】ところで、上記のSDH(SONET)における基本多重化フレームであるSTM-1(STS-3)フレームは、図41に示すように、9行(ROW)×270列(BYTE)の2次元のバイト配列で表現されるフォー

マットを有しており、先頭の9行×9列がセクションオーバーヘッド(SOH)231とAU(AU-4)ポインタ232からなり、続く9行×261列が多重化情報(VC:低次群レベルデータ)を収容するペイロード(SPE:Synchronous Payload Envelope)233と呼ばれる。

【0008】さらに、セクションオーバーヘッド231は、図42に示すように、基本的に、中継セクションオーバーヘッド(RSOH: Regenerator-SOH)231Aと、端局セクションオーバーヘッド(MSOH: Multiplex-SOH)231Bとを有しており、中継セクションオーバーヘッド231Aは、中継セクション〔中継器(中継伝送路307上に存在:図示略)相互間および中継器と伝送端局装置306との間〕における信号の保守・運用のために使用されるもので、フレーム同期をとるためのフレーム同期パターン(A1, A2バイト)や中継セクションでの符号誤り監視用のB1バイトなどからなっている。

【0009】一方、端局セクションオーバーヘッド231Bは、端局セクション(伝送端局装置306相互間)における信号の保守・運用のために使用されるもので、端局セクションにおける符号誤り監視用のB2バイトや、中継器、中継伝送路307の障害に対し、伝送端局装置306間でシステム切り替えを制御するための信号の授受と警報状態の表示のために使用されるK1, K2バイト〔APS(Automatic Protection Switch)バイト〕などからなっている。

【0010】また、AU4ポインタ232は、ペイロード233内のVC(VC4)の収容位置(フレーム先頭位置)を表示するためのもので、H1~H3バイトからなっており、これらのH1~H3バイトを用いてポインタ値の更新やクロック乗り換え時の位相調整(ポジティブスタフ/ネガティブスタフ)等が行なわれるようになっている。

【0011】なお、図42において、“*”印と“×”印を付したC1バイトに続く2バイトはそれぞれ送信時にスクランブルされないバイトであり、“×”印を付した各バイトはそれぞれ国内使用のために予約されたバイトであり、空白の各バイトは将来の国際標準化のために予約されたバイトである。そして、上述のようなフォーマットを有するSTM-1(STS-3)フレームが(多重化装置305において)4フレーム分バイト多重されることによりSTM-4(STS-12)フレームが組み上げられ、さらに、このSTM-4(STS-12)フレームが4フレーム分バイト多重されることによりSTM-16(STS-48)が組み上げられるようになっている。以下同様に、低次群側のフレームが4フレーム分ずつ、順次、バイト多重されることによりSTM-N(STS-M)フレームが組み上げられるようになっている。

【0012】従って、例えばSTM-4フレームのセク

ションオーバーヘッド231は、図43に示すように、図42に示すセクションオーバーヘッド231を4つ分バイト多重した9行×144列の構成となり、STM-64(STS-192)フレームのセクションオーバーヘッド231は、9行×576列の構成となる。次に、図44は上述の伝送端局装置306の要部の構成例を示すブロック図で、この図44に示すように、伝送端局装置306は、例えば、SOH終端処理部404、AUポインタ処理部405、TUポインタ処理部406、エラスティックメモリ(ES)部407、POH終端処理部(POH終端処理装置)408及びパススイッチアラーム挿入部409をそれぞれ有した現用系403A、予備系403Bをそなえて構成されている。なお、410はマイクロコンピュータ(マイコン: μ -COM)、411はクロスコネクタ装置(XC)である。

【0013】ここで、SOH終端処理部404は、受信多重化フレーム(STM-N/STS-M)の上記セクションオーバーヘッド231に基づいて、フレーム同期確立、符号誤り監視などのSOH終端処理を施すものであり、AUポインタ処理部405は、上記終端処理によりRSOH231A、MSOH231Bを取り除かれたAU4信号に含まれるAUポインタ232に基づき、ペイロード233に収容されているTUレベルのフレーム先頭位置を認識してTU信号を抽出するものである。

【0014】また、TUポインタ処理部406は、AUポインタ処理部405において抽出されたTU信号に含まれるTUポインタに基づいて、TU信号内に収容されているVCレベルの信号を抽出(TU信号をVC信号に分解)するものであり、ES部407は、VC信号のクロック乗り換えを行なうためのものであり、POH終端処理部408は、VC信号のオーバーヘッドであるパスオーバーヘッドをモニタ(終端処理)して、BIP(Bit Interleaved Parity)演算、UNEQ(Unequipped:VC信号内にペイロード233が未収容であることを表す)アラーム検出などを行なうものである。

【0015】さらに、パススイッチアラーム挿入部409は、マイコン410からの設定により、VC信号に現用系403A、予備系403Bの切り替えを指示するための制御情報としてパススイッチアラームを挿入するものである。これにより、上述の伝送端局装置306では、まず、SOH終端処理部404において、受信多重化フレームのセクションオーバーヘッド231に含まれるA1、A2バイトの所定ビットパターンを検出することにより、フレーム同期パターンを検出してフレーム同期を確立し、B1バイトに対するBIP演算などの各種終端処理を行ない、受信多重化フレームをAU4信号に分解する。

【0016】そして、上記のAU4信号は、TUポインタ処理部406において、AU4ポインタ232に基づきTU信号に分解され、さらにそのTU信号は、TUポ

インタ処理部406において、TUポインタに基づきVC信号に分解される。得られたVC信号は、その伝送速度が後段での処理可能な速度になるよう、ES部407において、伝送路側のクロックから装置側のクロックへクロック乗り換えされる。

【0017】このとき、POH終端処理部408では、VC信号内に含まれるパスオーバーヘッドに対して、符号誤り監視、警報表示などの所要の終端処理を施しており、この終端処理により、何らかのアラームが検出されると、そのアラームに応じたアラーム処理がパススイッチアラーム挿入部409、マイコン410によって施される。

【0018】例えば、このPOH終端処理部408において、UNEQアラームが検出されたと仮定すると、このUNEQアラームがパススイッチアラーム挿入部409へ送られるとともに、BIP演算結果(BIPPM: BIPパフォーマンス・モニタ)がマイコン410へ通知される。この通知を受けると、マイコン410は、ソフトによるアラーム処理を行なった後に、パススイッチアラーム挿入部409に対してパススイッチアラーム挿入の設定(UNEQアラームを検出したTUチャンネルの信号をALL"1"に設定)する。

【0019】そして、クロスコネクタ装置(XC)11では、上記ALL"1"となっているTUチャンネルを検出して異常が検出されると、そのチャンネルについての伝送系を現用系3Aから予備系3Bへ切り替える。このように、上述の伝送端局装置306では、受信多重化フレームに対して、SOH終端処理を施してフレーム同期を確立したのち、AUポインタ処理、POH終端処理などを順次施してゆくことにより、常に、フレーム同期をとりながら、受信多重化フレームを正確にVC信号にまで分解して、この際のアラーム検出などを確実に行なえるようになっている。

【0020】ところで、上述のSOH終端処理部404では、多重化フレームの多重度nが増しデータ伝送速度が155Mbps(STM-1/STS-3)、622Mbps(STM-4/STS-12)、2.4Gbps(STM-16/STS-48)、10Gbps(STM-64/STS-192)というように高速になってくると、使用デバイスの動作速度、消費電力等の問題から、一旦、多重化フレーム(多重シリアルデータ)をパラレルデータに変換することによって低速度化して、セットアップ/ホールドマージンの確保や低消費電力化を図るようにしている。

【0021】ところが、この場合、多重化フレームのセクションオーバーヘッド231には、図42、図43からも分かるように、多重化フレームの多重度N(M)に応じた数のA1、A2バイトが存在する(STM-Nの場合は $3 \times N$ 個ずつ、STS-Mの場合はM個ずつ存在する)ので、多重化フレームをm並列化〔ただし、 $m=8$ (ビット)×自然数〕すると、例えば図45に示すように、m並列データ中にはA1(A2)バイトの先頭位置

(先頭スロット)、つまり検出すべきフレーム同期パターン(FDET)がm通り存在することになる。

【0022】このため、SOH終端処理部404では、多重化フレームの並列度mに応じて、A1、A2バイト(フレーム同期パターン)の検出をm通り行なう必要がある。図46はこのようなフレーム同期パターン検出機能に着目したSOH終端処理部404の構成を示すブロック図であるが、この図46に示すように、SOH終端処理部(フレーム同期パターン処理装置)404は、シリアル/パラレル(S/P)変換部412、バイトスイッチ(BSW)部413、フレーム同期パターン検出(FDET)部414-1~414-m、カウンタ制御部415、フレームカウンタ416、同期保護部417及びバイトスイッチ制御部418をそなえて構成される。

【0023】ここで、S/P変換部412は、受信多重シリアルデータ(受信多重化フレーム)をS/P変換してm並列化するものであり、バイトスイッチ部413は、バイトスイッチ制御部418の制御により、m並列データ中のフレーム同期パターン(A1、A2バイト)が先頭スロットに位置するようスロット入れ替え(データの並べ替え)を行なうものである。なお、このようにスロットの並べ替えを行なうのは、後段でのセクションオーバーヘッド231の付け替えが先頭スロットから順に行なわれるためである。

【0024】また、各フレーム同期パターン検出部(フレーム同期パターン検出装置)414-1~414-mは、それぞれ、m並列データからA1、A2バイト(所定のビットパターン)を検出するもので、この場合は、m並列データ中にA1(A2)バイトの先頭スロット位置がm通り存在する(つまり、検出すべきフレーム同期パターンがm通り存在する)ため、図46からも分かるようにm個設けられている。

【0025】さらに、カウンタ制御部415は、フレームカウンタ416のカウンタ動作を制御するもので、例えば、フレーム同期パターン検出部414-i(ただし、i=1~m)においてフレーム同期パターンが検出される毎にフレームカウンタ416のカウンタ値をカウンタアップさせ、同期保護部416から後述する同期確立信号(OOF)を受けるとフレームカウンタ416のカウンタ値をリセットするようになっている。

【0026】また、フレームカウンタ416は、カウンタ制御部416の制御に従って所定の保護段数分のカウンタ値をカウントするものであり、同期保護部416は、このフレームカウンタ416のカウンタ値が所定の値(保護段数)に達すると、フレーム同期パターン検出部414-iにおいてフレーム同期パターンが所定回数連続して検出されフレーム同期が確立された旨の同期確立信号(OOF)を出力するものである。

【0027】さらに、バイトスイッチ制御部418は、

同期保護部417から上記の同期確立信号(OOF)を受けると、その時点でフレーム同期パターン検出部414-iにおいて検出されたフレーム同期パターンの先頭がm並列データ中の先頭スロットに位置するようバイトスイッチ413を制御してスロット並べ替え処理を行なわせるものである。

【0028】このような構成により、上述のSOH終端処理部404では、まず、受信多重シリアルデータをS/P変換部412によりm並列化して低速の並列データに変換したのち、フレーム同期パターン検出部414-iにおいてそのm並列データに含まれるA1、A2バイト(計16ビットの所定ビットパターン)を検出することによりフレーム同期パターンを検出する。

【0029】そして、カウンタ制御部415、フレームカウンタ416、同期保護部417を通じて、フレーム同期パターンが連続して所定回数検出されたと認識されると、バイトスイッチ413、バイトスイッチ制御部418によって、そのフレーム同期パターンの先頭位置がm並列データ中の先頭スロットに位置するようスロットの並べ替えが行なわれる。

【0030】これにより、後段への主信号データは、常に、その先頭スロットにフレーム同期パターンが位置するようになり、セクションオーバーヘッド231の付け替え時には先頭スロットから順にデータの挿入を行なえばよいことになる。

【0031】

【発明が解決しようとする課題】しかしながら、上述のSOH終端処理部(フレーム同期パターン処理装置)404では、フレーム同期パターン検出部414-iにより、m並列化された並列データ中にm通り存在するフレーム同期パターンの検出を行なえるようにしているため、シリアルデータ処理では1つで済んだフレームパターン検出回路(図47参照)が装置全体としてm個必要になり(図48参照)、多重化フレームの多重度が増す(並列処理速度が増す)程、装置のゲート数、内部ネット数が増加し、LSI化の際のバルクサイズやコストなどが増大してしまうほか、レイアウトも複雑になってしまふといった課題が生じる。

【0032】また、フレーム同期パターン検出部414-iによりフレーム同期パターン検出信号がm通り生成されるため、フレームカウンタ416や同期保護部417、バイトスイッチ制御部418などへの制御が複雑になり、やはり、LSI化の際のバルクサイズ、レイアウト、コストなどの面に課題が生じる。本発明は、このような課題に鑑み創案されたもので、m並列データ中のフレーム同期パターンをm通り検出可能にしくとも、正確に、m並列データ中のフレーム同期パターンを検出することが可能な、フレーム同期パターン処理装置並びにフレーム同期パターン検出装置及びフレーム同期パターン検出方法を提供することを目的とする。

【0033】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1に示すフレーム同期パターン処理装置1は、データスイッチ部2、暫定領域検出部3、フレーム同期パターン検出部4及びデータスイッチ制御部5をそなえて構成されている。ここで、データスイッチ部2は、SDH伝送方式に基づくフレーム同期パターンを有する多重シリアルデータをシリアル/パラレル変換して得られるパラレルデータに対して上記のフレーム同期パターンが先頭となるようデータ並べ替え処理を施すものであり、暫定領域検出部3は、上記パラレルデータより、上記のフレーム同期パターンが含まれる領域データの候補を暫定的に検出し、その暫定領域データをシリアル化するものである。

【0034】また、フレーム同期パターン検出部4は、この暫定領域検出部3からの上記暫定領域データより、上記のフレーム同期パターンを検出するものであり、データスイッチ制御部5は、暫定領域検出部3での上記暫定領域データの検出状態およびフレーム同期パターン検出部4での上記フレーム同期パターンの検出状態に応じて、データスイッチ部2によるデータ並べ替え処理を制御するものである。

【0035】上述のごとく構成された本発明のフレーム同期パターン処理装置1では、まず、暫定領域検出部3において、上記パラレルデータよりSDH伝送方式に基づくフレーム同期パターンが含まれるであろう領域の候補が暫定的に検出され、その暫定領域より、真のフレーム同期パターンがフレーム同期パターン検出部4において検出される。

【0036】これにより、フレーム同期パターン検出部4では、パラレルデータの並列度に関わらず(m並列データ中のフレーム同期パターンをm通り検出可能にしくとも)、1つの回路でパラレルデータ中のフレーム同期パターンを検出することが可能になり、この結果、フレーム同期パターンの検出情報がm並列データに対して1本に削減され、例えば、フレーム同期確立のための保護段数情報のカウント制御が単純化される(以上、請求項1)。

【0037】このため、上述の暫定領域検出部3は、上記フレーム同期パターンの上記パラレルデータ内における暫定位置情報を検出する暫定位置情報検出部と、この暫定位置情報検出部において検出された暫定位置情報を基準位置とした所定の領域のパラレルデータを上記暫定領域データとして順次保持しながらシリアルに出力する暫定領域データ保持部とをそなえて構成される。これにより、この暫定領域検出部3では、フレーム同期パターンが含まれるであろう領域のデータを確実に検出することが可能になる(請求項2)。

【0038】さらに具体的に、上記の暫定位置情報検出部は、例えば、上記パラレルデータよりA1バイトを検

出するA1バイト検出部と、上記パラレルデータよりA2バイトを検出するA2バイト検出部と、これらのA1バイト検出部及びA2バイト検出部の検出動作を上記のA1バイト、A2バイトの検出タイミングに応じて切り替える切り替え制御部とをそなえ、上記の切り替え制御部の切り替え動作によりA1バイト検出部においてA1バイトが検出されたのちA2バイト検出部においてA2バイトが検出されると、A2バイトの検出位置を上記の暫定位置情報として暫定領域データ保持部へ供給するように構成される。

【0039】これにより、この暫定位置情報検出部は、A1バイトが検出されたのちA2バイトが検出された時点で、そのA2バイトを基準位置とした所定の領域(例えば、前後数バイトの領域)にA1バイト、A2バイトからなるフレーム同期パターンが含まれるものとして、その領域データを暫定領域データ保持部に保持させることができる(以上、請求項3)。

【0040】なお、このとき、上述のA1バイト検出部を、上記パラレルデータ中に存在しうるA1バイト先頭位置毎にA1バイトを1バイト分検出するように構成するとともに、上述のA2バイト検出部を、上記パラレルデータ中に存在しうるA2バイト先頭位置毎にA2バイトを1バイト分検出するように構成すれば、A1バイト検出に必要な回路数、A2バイト検出に必要な回路数が上記パラレルデータの並列度に関わらず、1バイト(8ビット)分で済むことになる(請求項4)。

【0041】また、上述の切り替え制御部は、上記A1バイト検出部においてA1バイトが検出されると、そのA1バイト検出部の検出動作を停止させるとともに、上記A2バイト検出部の検出動作を開始させる一方、上記A2バイト検出部においてA2バイトが検出されると、そのA2バイト検出部の検出動作を停止させるとともに、上記A1バイト検出部の検出動作を開始させる制御部をそなえて構成されるので、A1バイトを検出したのちにA2バイトを検出する動作が確実に実現される(請求項5)。なお、このとき、上記の制御部を、JKタイプのフリップフロップ回路を用いて構成すれば、その構成が簡素になる(請求項6)。

【0042】さらに、上述の切り替え制御部は、上記A1バイト検出部でのA1バイトの検出状態、上記A2バイト検出部でのA2バイトの検出状態に基づいて上記暫定領域データの有効/無効を判定し、上記暫定領域データが無効な場合は、上記暫定位置情報の暫定領域データ保持部への供給を禁止するための無効処理を行なう無効処理部をそなえてもよい。

【0043】これにより、この切り替え制御部は、上記暫定領域データが無効な場合は、上記暫定位置情報を暫定領域データ保持部へ供給しないので、上記の暫定領域データ保持部では、無効なデータは保持されず、信頼性のあるデータ(上記フレーム同期パターンが含まれる領

域データ)のみが保持されることになる(以上、請求項7)。

【0044】具体的に、上記の無効処理部は、上記A1バイト検出部において検出されたA1バイトの先頭位置と上記A2バイト検出部において検出されたA2バイトの先頭位置とを比較して、各先頭位置が異なる場合に、上記暫定領域データを無効と判断して、上記無効処理を実行するので、暫定領域データ保持部には、検出A1バイトの先頭位置と検出A2バイトの先頭位置とが一致し検出対象のA1、A2バイトを正常に検出できた場合のみ、その時の上記暫定領域データが有効なデータとして保持される(請求項8)。

【0045】なお、この無効処理部は、上記A1バイト検出部において検出されたA1バイトの先頭位置を一時的に保持するA1バイト先頭位置保持部と、このA1バイト先頭位置保持部に保持されたA1バイトの先頭位置と、上記A2バイト検出部において検出されたA2バイトの先頭位置とを比較する比較部とをそなえ、この比較部での比較により、A1バイトの先頭位置とA2バイトの先頭位置とが異なると判定されると、上記暫定領域データを無効と判断して、上記無効処理を実行するように構成すれば、容易に実現される(請求項9)。

【0046】また、上記の無効処理部は、上記A1バイト検出部においてA1バイトが検出されると所定時間カウンタ動作を行なうタイマをそなえ、このタイマのカウント動作が終了するまでに、上記A2バイト検出部においてA2バイトが検出されない場合に、上記暫定領域データを無効と判断して、上記無効処理を実行するように構成してもよい。

【0047】これにより、この無効処理部は、A1バイトが検出されたのちに所定時間経過しても上記暫定位置情報として検出されるべきA2バイトが検出されない、と、上記暫定位置情報を暫定領域データ保持部へ供給しないので、このときの上記暫定領域データは無効なデータとして暫定領域データ保持部では保持されない(以上、請求項10)。

【0048】さらに、上記の無効処理部は、上記A1バイト検出部においてA1バイトが連続して検出されたか否かを監視するA1バイト連続性監視部をそなえ、このA1バイト連続性監視部においてA1バイトの連続性が確認されず、且つ、上記A2バイト検出部においてA2バイトが検出されない場合に、上記暫定領域データを無効と判断して、上記無効処理を実行するように構成してもよい。

【0049】これにより、この無効処理部は、A1バイトが検出されたのちにA1バイトかA2バイトが検出された場合以外、つまり、A1バイトが検出されたのちにA1、A2バイト以外の未知のデータが検出された場合に、その時の上記暫定領域データを無効なデータとして暫定領域データ保持部に保持させないようにすることが

できる(以上、請求項11)。

【0050】ところで、上述の暫定位置情報検出部は、上記パラレルデータの複数タイムスロット上からA1バイト、A2バイトを同時に検出するA1・A2バイト検出部をそなえ、このA1・A2バイト検出部においてA1バイト、A2バイトが同時に検出されると、その検出位置を暫定位置情報として暫定領域データ保持部へ供給するように構成してもよい。

【0051】これにより、この暫定位置情報検出部では、上記パラレルデータのタイムスロット上に現れるA1バイトとA2バイトの境界が含まれる領域(つまり、上記フレーム同期パターンが含まれる領域)を、A1・A2バイト検出部により1度の検出動作である程度特定することができ、より効率良く、上記フレーム同期パターンの含まれる領域を絞り込むことができる(以上、請求項12)。

【0052】次に、上記の暫定領域データ保持部は、具体的に、入力データをそれぞれ一時的に保持してシフトするシフト回路を上記パラレルデータの並列度に応じ複数段数有したシフト段を複数そなえ、上述の暫定位置情報検出部において暫定位置情報が検出されると、各シフト段内部において下位段側のシフト回路の出力を上位段側のシフト回路の入力に順次接続するとともに、各シフト段における最上位段のシフト回路の出力を後段のシフト段における最下位段のシフト回路の入力に接続することにより、入力パラレルデータをシリアル化するように構成される。

【0053】これにより、この暫定領域データ保持部では、パラレルデータのシフト動作とパラレルデータのシリアル化動作とがシフト回路により実現されるので、パラレルデータをシフトするための回路とパラレルデータをシリアル化するための回路とをそれぞれ個別にそなえずに、入力パラレルデータをシリアル化することができる(以上、請求項13)。

【0054】なお、この暫定領域データ保持部に、上記の入力パラレルデータとして上記暫定領域データ以外のパラレルデータが入力されると暫定領域データ保持部の出力をマスクするマスク処理部を付加すれば、フレーム同期パターン検出部4では、常に、フレーム同期パターンの含まれるデータに対してのみフレーム同期パターン検出を行なうことができる(請求項14)。

【0055】また、上述のフレーム同期パターン検出部4は、暫定領域検出部3と協調して動作することにより、上記フレーム同期パターンの検出を、上記暫定領域データのシリアル化処理を利用して行なうように構成すれば、暫定領域検出部3での暫定領域データの検出からフレーム同期パターン検出部4でのフレーム同期パターンの検出までの処理時間を最小限にすることができる(請求項15)。

【0056】次に、上述のデータスイッチ制御部5は、

具体的に、暫定領域検出部3において上記暫定領域データが検出されてからフレーム同期パターン検出部4において上記フレーム同期パターンが検出されるまでの期間に相当するデータシフト量を、データスイッチ部2用の制御信号として生成するように構成される。これにより、このデータスイッチ制御部5は、フレーム同期パターン検出部4において検出されたフレーム同期パターンを上記パラレルデータ中の先頭に位置させるために必要なデータシフト量を容易に認識して、確実に、そのデータシフト量分だけデータスイッチ部2のデータ並べ替え処理を制御することができ、常に正確に、上記フレーム同期パターンを上記パラレルデータ中の先頭に位置させることができる(以上、請求項16)。

【0057】このため、具体的に、上述のデータスイッチ制御部5は、暫定領域検出部3において上記暫定領域データが検出されると、上記パラレルデータの並列数分のカウンタ値のカウントを行なうカウンタをそなえ、フレーム同期パターン検出部4において上記フレーム同期パターンが検出された時点のこのカウンタのカウント値を、上記のデータシフト量としてデータスイッチ部2へ供給するように構成される。

【0058】これにより、このデータスイッチ制御部5は、上記暫定領域データのデータ量の関係から、上記のデータシフト量がパラレルデータの並列度を超える場合でも、上記カウンタのカウント値をデータスイッチ部2によるデータシフト量とするので、常に、データスイッチ部2での並べ替え処理に必要な時間を最小限にすることができる(以上、請求項17)。

【0059】次に、図2も本発明の原理ブロック図で、この図2に示すように、本発明のフレーム同期パターン検出装置1'は、暫定領域検出部3'とフレーム同期パターン検出部4'とをそなえて構成されている。ここで、暫定領域検出部3'は、SDH伝送方式に基づくフレーム同期パターンを有する多重データより、上記のフレーム同期パターンが含まれる領域データの候補を暫定的に検出するものであり、フレーム同期パターン検出部4'は、この暫定領域検出部3'において検出された上記の暫定領域データより、上記のフレーム同期パターンを検出するものである。

【0060】上述のごとく構成されたフレーム同期パターン検出装置1'では、まず、暫定領域検出部3'において、上記パラレルデータより上記フレーム同期パターンが含まれるであろう領域の候補が暫定的に検出され、その暫定領域より、真のフレーム同期パターンがフレーム同期パターン検出部4'において検出される。これにより、フレーム同期パターン検出部4'では、パラレルデータの並列度に関わらず、1つの回路でパラレルデータ中のフレーム同期パターンを検出することが可能になる(以上、請求項18)。

【0061】なお、上記の暫定領域検出部3'は、SD

H伝送方式に基づくフレーム同期パターンに限らず、所定のフレーム同期パターンを有するデータより、そのフレーム同期パターンが含まれる領域データの候補を暫定的に検出するようにしてもよい(請求項19、20)。

【0062】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

(A) フレーム同期パターン処理装置の全体説明

図3は本発明の一実施形態としてのフレーム同期パターン処理装置の構成を示すブロック図であるが、この図3に示すフレーム同期パターン処理装置11は、図44により前述したSOH終端処理部404に適用されるもので、バイトスイッチ(BSW)部13、フレーム同期パターン検出装置14、フレームカウンタ17、同期保護部18及びバイトスイッチ制御部19をそなえて構成されている。なお、12は受信多重シリアルデータをパラレルデータ(m並列データ)に変換するシリアル/パラレル(S/P)変換部である。

【0063】ここで、バイトスイッチ部(データスイッチ部)13は、図46に示すものと同様に、バイトスイッチ制御部19の制御により、SDH(又はSONET)伝送方式に基づくフレーム同期パターン(A1、A2バイトからなる所定のビットパターン)を有する多重シリアルデータをS/P変換部12においてS/P変換して得られるm並列データに対して上記のフレーム同期パターンが先頭スロットに位置するようスロット入れ替え(データの並べ替え)を行なうものである。

【0064】また、フレームカウンタ17は、フレーム同期パターン検出装置(以下、単に「検出装置」ということがある)14でのフレーム同期パターンの検出状態に応じて所定の保護段数分のカウンタ値をカウントするもので、本実施形態では、検出装置14においてフレーム同期パターンが検出される毎に、そのカウンタ値がカウントアップするようになっている。

【0065】さらに、同期保護部18は、このフレームカウンタ17のカウント値が所定の値(保護段数)に達すると、検出装置14においてフレーム同期パターンが所定回数連続して検出されフレーム同期が確立された旨の同期確立信号(OOF)を出力するものである。つまり、本実施形態のフレーム同期パターン処理装置11は、この図3からも分かるように、m並列データ中のフレーム同期パターンを検出するための検出装置14をm並列データに対して共通にすることで、フレーム同期パターン検出信号(検出情報)をm並列データに対して1本に削減して、フレームカウンタ17、同期保護部18への制御(保護段数情報のカウント制御)を単純化しているのである(図46におけるカウンタ制御部415が省略される)。

【0066】ここで、上述の検出装置14が、m並列データに対して共通のものとして構成されているのは、次

のような理由による。即ち、図42、図43により前述したように、SDH/SONET系の多重信号は、フレーム同期パターン検出用のA1、A2バイトを含んだ基本フレームフォーマット信号（STM-1/STS-1）がバイト多重されており、多重度がnであればA1、A2バイトもn倍となっている。

【0067】ところが、例えば図4に示すように、通常は、n多重シリアルデータ中のA1、A2バイトの境目となる数バイトが検出すべき真のフレーム同期パターンであるので、n個のA1、A2バイト中、実際の検出に使用されるバイトは数バイトであり、それ以外のバイトは不要なバイトとなる。従って、真のフレームパターンを並列データ中から直接的に検出する（入力並列データがA1、A2バイトからなる所定のビットパターンと全て一致しているかどうかを検出する）のではなく、不要となるバイトを利用して暫定的に真のフレーム同期パターンがあらう位置を認識（検出）して、その位置を含む所定の領域のデータから真のフレーム同期パターンの検出を行えば、フレーム同期パターン検出はm並列データに対して1つの装置（回路）で行なえることになる。

【0068】このため、上述の検出装置14は、図3に示すように、暫定フレーム同期パターン検出（Pre FDET）部15及びフレーム同期パターン（FDET）検出部16をそなえて構成されている。ここで、暫定フレーム同期パターン検出部（暫定領域検出部）15は、上記のm並列データより、フレーム同期パターンが含まれる領域データの候補を暫定的に検出し、その暫定領域データをシリアル化するものであり、フレーム同期パターン検出部16は、この暫定フレーム同期パターン検出部15からの暫定領域データより真のフレーム同期パターンを検出するものである。

【0069】なお、上述のバイトスイッチ制御部（データスイッチ制御部）19は、暫定フレーム同期パターン検出部15での暫定領域データの検出状態およびフレーム同期パターン検出部16でのフレーム同期パターンの検出状態に応じて、バイトスイッチ部13によるスロット並べ替え処理を制御するもので、本実施形態では、後述するように、上記の暫定領域データが検出されてから真のフレーム同期パターンが検出されるまでの期間に相当するビットシフト量に応じて、このスロット並べ替え処理が行なわれるようになっている。

【0070】上述のごとく構成された本実施形態のフレーム同期パターン処理装置11（フレーム同期パターン検出方法）では、まず、暫定フレーム同期パターン検出部15において、上記並列データよりフレーム同期パターン（A1、A2）が含まれるであろう領域の候補が暫定的に検出され、その暫定領域より、真のフレーム同期パターンがフレーム同期パターン検出部16において検出される。

【0071】これにより、フレーム同期パターン検出部

16では、並列データの並列度mに関わらず（m並列データ中のフレーム同期パターンをm通り検出可能にしくとも）、1つの回路で並列データ中のフレーム同期パターンを検出することが可能になり、この結果、上述のごとくフレーム同期パターンの検出信号がm並列データに対して1本に削減され、フレームカウンタ17、同期保護部18への制御も単純化される。

【0072】以下、本実施形態の要部である暫定フレーム同期パターン検出部15、フレーム同期パターン検出部16、バイトスイッチ制御部19の詳細について説明する。

（B）暫定フレーム同期パターン検出部15の詳細説明
図5は上述の暫定フレーム同期パターン検出部15の構成を示すブロック図で、この図5に示すように、本実施形態のフレーム同期パターン検出部15は、フレームパターン位置暫定検出部20及び暫定領域データラッチ部21をそなえて構成されている。

【0073】ここで、フレームパターン位置暫定検出部（暫定位置情報検出部）20は、真のフレーム同期パターン（例えば図7に示すようにA1、A2バイトの境目の含む4バイト）の上記パラレルデータ内における暫定位置情報（本実施形態では、例えばA1バイトが検出された後に検出されたA2バイトの位置）を検出するものである。

【0074】また、暫定領域データラッチ部（暫定領域データ保持部）21は、このフレームパターン位置暫定検出部20において検出された上記の暫定位置情報を基準位置とした所定の領域（暫定位置を含む前後数バイトの暫定領域：図7参照）のパラレルデータを上記暫定領域データとして順次保持しながらシリアルに出力するものである。

【0075】このため、上述のフレームパターン位置暫定検出部20は、さらに図6に示すように、上記の並列データよりA1バイトを検出するA1バイト検出部22と、上記の並列データよりA2バイトを検出するA2バイト検出部23と、これらのA1バイト検出部22及びA2バイト検出部23の検出動作をA1バイト、A2バイトの検出タイミングに応じて切り替える切り替え制御部24とをそなえて構成される。

【0076】そして、このフレームパターン位置暫定検出部20では、切り替え制御部24の切り替え動作によりA1バイト検出部22においてA1バイトが検出されたのちA2バイト検出部23においてA2バイトが検出されると、そのA2バイトの検出位置が上記の暫定位置情報としてラッチタイミング信号により暫定領域データラッチ部21へ供給されるようになっている。

【0077】これにより、上述のフレームパターン位置暫定検出部20では、まず、A1バイト検出部22によって、入力された全並列データ中から連続するnバイトのうちの任意のA1バイトが検出され、次に、切り替え

制御部24の切り替え動作により、A2バイト検出部23によって連続するnバイトのうちの任意のA2バイトが検出される。

【0078】このとき、最初にA1バイト検出部22において検出されたA1バイトは $n \times A1$ バイト中のどの位置で検出されたものかは特定できないが、次にA2バイト検出部23において検出されたA2バイトは $n \times A2$ バイト中の先頭に近い位置にあることは特定できる。従って、A1バイト検出後に検出したA2バイトの位置から前後数バイト中に真のフレームパターンがあることを特定することができる。

【0079】そこで、切り替え制御部24は、A1バイト検出部22においてA1バイトが検出されたのちA2バイト検出部23においてA2バイトが検出された時点で、暫定領域データラッチ部21へ上記の暫定位置情報としてラッチタイミング信号を供給する。なお、この切り替え制御部24の詳細については後述する。すると、暫定領域データラッチ部21は、後述するように、そのラッチタイミングにより並列データを順次ラッチ（シフト）してゆくことで、検出されたA2バイトを基準位置とした所定の領域（例えば、前後数バイトの領域）を保持する。

【0080】つまり、このフレームパターン位置暫定検出部20は、A1バイトが検出されたのちA2バイトが検出された時点で、そのA2バイトを基準位置とした前後数バイトの領域にA1バイト、A2バイトからなるフレーム同期パターン（A1、A2バイトの境目）が含まれるものとして、その領域データを暫定領域データラッチ部21に保持させるのである。

【0081】従って、真のフレーム同期パターン（A1、A2バイトの境目を含む数バイト）が含まれるであろう領域のデータを確実に検出することが可能になり、フレーム同期検出部16でのフレーム同期パターン検出処理時の信頼性が大幅に向上する。また、フレーム同期パターン検出部16では、極めて効率良く、且つ、高速に、A1バイト、A2バイトからなるフレーム同期パターンを検出することが可能になる。

【0082】ところで、m並列データ中から或る特定のバイトを検出する場合には、通常、m並列データ中にm通りの先頭スロット位置が存在しうするためm通りの検出回路が必要であるが、SDH（又はSONET）伝送方式では、上述のようにA1、A2バイトがそれぞれnバイト分連続しているため、A1バイト（又はA2バイト）を検出する際には、例えば図8に示すように、その先頭スロット位置が8通りしか存在しない。

【0083】従って、A1バイト検出部22、A2バイト検出部23は、それぞれ、1バイト（8ビット）分の検出回路、すなわち、それぞれ8通り分の検出回路があればよいことになる。このため、例えば図9に示すように、A1バイト検出部22は、並列データ中に存在しう

る8通りのA1バイト先頭位置に対応してA1バイト検出回路(A1 DET1~8)22-1~22-8をそなえて、並列データ中に存在しうるA1バイト先頭位置毎にA1バイトを1バイト分検出するように構成され、同様に、A2バイト検出部23は、並列データ中に存在しうる8通りのA2バイト先頭位置に対応してA2バイト検出回路(A2 DET1~8)23-1~23-8をそなえて、並列データ中に存在しうるA2バイト先頭位置毎にA2バイトを1バイト分検出するように構成される。

【0084】また、上述の切り替え制御部24は、この図9に示すように、上記のような切り替え動作を実現すべく、制御部25をそなえて構成されている。ここで、この制御部25は、A1バイト検出部22においてA1バイトが検出されると、A1バイト検出部22の検出動作を停止させるとともにA2バイト検出部23の検出動作を開始させる一方、A2バイト検出部23においてA2バイトが検出されると、A2バイト検出部23の検出動作を停止させるとともにA1バイト検出部22の検出動作を開始させるものである。

【0085】具体的に、この制御部25は、本実施形態では、例えば図10に示すように、JKタイプのフリップフロップ（FF）回路25-1、ORゲート（論理和回路）25-2、25-3を用いて構成されており、FF回路25-1のK入力にラッチタイミング信号として暫定領域データラッチ部21に供給され、Q出力が各A2バイト検出回路23-i（ただし、 $i=1 \sim 8$ ）用のイネーブル信号（EN）／ディゼーブル信号（DIS）として供給され、Q出力の反転出力が各A1バイト検出回路22-i用のイネーブル信号／ディゼーブル信号として供給されるようになっている。

【0086】なお、上記A1バイト検出回路22-iへのQ出力の反転出力は、この図10に示すようにFF回路25-1のQ出力反転端子から直接とるようにしてもよいし、例えば図11に示すようにFF回路25-1のQ出力を反転ゲート26で反転した信号を使用してもよい。そして、この制御部25は、例えば図13（a）に示すようなクロックタイミングに従って動作し、A1バイト検出部22、A2バイト検出部23の検出動作をA1バイト、A2バイトの検出タイミングに応じて交互に切り替えるようになっている。

【0087】即ち、例えば、A1バイト検出回路22-iのいずれかにおいてA1バイトが検出されると〔図13（b）の時点T1参照〕、ORゲート25-2の出力（FF回路25-1のJ入力）が“H”となり、次のクロックタイミングでFF回路25-1のQ出力が“H”となり〔図13（d）の時点T2参照〕、この結果、各A2バイト検出回路23-iがイネーブル状態（各A1バイト検出回路22-iはディゼーブル状態）に制御される。

【0088】その後、A2バイト検出回路23-iのい

ずれかにおいてA2バイトが検出されると〔図13(c)の時点T3参照〕、この制御部25では、ORゲート25-3の出力(FF回路25-1のK入力)が“H”となり、暫定領域データラッチ部21用のラッチタイミング信号が“H”となるとともに〔図13(e)の時点T3参照〕、次のクロックタイミングでFF回路25-1のQ出力が“L”となり〔図13(d)の時点T4参照〕、この結果、各A1バイト検出回路22-iがイネーブル状態(各A2バイト検出回路23-iはディゼーブル状態)に制御される。

【0089】上述のごとく構成された本実施形態のフレームパターン位置暫定検出部20では、まず、初期状態においては、各A1バイト検出回路22-iがイネーブル状態、各A2バイト検出回路23-iがディゼーブル状態となるように制御部25により制御されており、例えば図12(d)に示すようにA1バイト検出動作状態となっている。

【0090】そして、例えば図12(a)に示すようなタイミングで並列データが入力されたとすると、まず、A1バイト検出回路22-iのいずれかにおいてA1バイトが検出される〔図12(b)の時点T1参照〕。すると、制御部25では、上述のごとく次のクロックタイミングでFF回路25-1のQ出力が“H”(Q出力の反転出力が“L”)となるので、A1バイト検出回路22-i用の制御信号が“L”(ディゼーブル)となり、各A1バイト検出回路22-iがディゼーブル状態、各A2バイト検出回路23-iがイネーブル状態(A2バイト検出動作開始状態)に制御される〔図12(d)の時点T2参照〕。

【0091】さらに、その後、各A2バイト検出部23-iのいずれかにおいて上記並列データよりA2バイトが検出されると〔図12(c)の時点T3参照〕、制御部25では、上述のごとくFF回路25-1のK入力が“H”となるので、上記ラッチタイミング信号が“H”となるとともに〔図12(e)の時点T3参照〕、次のクロックタイミングでFF回路25-1のQ出力が“L”となる〔図12(d)の時点T4参照〕。

【0092】この結果、再度、各A1バイト検出回路22-iがイネーブル状態(A1バイト検出動作開始)、各A2バイト検出回路23-iがディゼーブル状態(A2バイト検出動作停止)となり初期状態に戻る。このように、上述のフレームパターン位置暫定検出部20では、A1バイト検出部22でのA1バイト検出時には、A1バイト検出回路22-iのいずれかにおいてA1バイトを1バイト分検出するとともに、A2バイト検出部23でのA2バイト検出時には、A2バイト検出回路23-iのいずれかにおいてA2バイトを1バイト分検出すればよいので、A1バイト/A2バイトの検出に必要な回路数が並列データの並列度に関わらず、1バイト(8ビット)分(つまり、8通り)で済み、本処理装置

11(検出装置14)の装置規模、消費電力、コスト、LSI化の際のレイアウトなどの面で非常に有利となる。

【0093】また、上記のフレームパターン位置暫定検出部20では、切り替え制御部24(制御部25)によって、A1バイトが検出されると、A1バイトの検出動作を停止するとともにA2バイトの検出動作を開始する一方、A2バイトが検出されると、A2バイトの検出動作を停止するとともにA1バイトの検出動作を開始するので、A1バイトを検出したのちにA2バイトを検出する動作が確実に実現され、極めて効率良く、上記A1バイト、A2バイトからなるフレーム同期パターンの暫定位置情報(ラッチタイミング信号)を検出することができる。

【0094】さらに、ここでは、上記の制御部25が、JKタイプのFF回路25-1を用いて実現されているので、その構成が極めて簡素になっており、さらなる装置規模の縮小、コストの低減などに大いに寄与している。

(B1)フレームパターン位置暫定検出部20の第1変形例の説明

次に、図14は上述のフレームパターン位置暫定検出部20の第1変形例を示すブロック図であるが、この図14に示すように、本変形例における検出部20は、図9に示すものに比して、切り替え制御部24Aとして制御部25(図10参照)に加えて無効処理部30Aをそなえて構成されている点異なる。

【0095】ここで、上記の無効処理部30Aは、A1バイト検出部22でのA1バイトの検出状態、A2バイト検出部23でのA2バイトの検出状態に基づいて、暫定領域データラッチ部21においてラッチさせるべき暫定領域データの有効/無効を判定し、その暫定領域データが無効な場合は、ラッチタイミング信号(暫定位置情報)の暫定領域データラッチ部21への供給を禁止するための無効処理を行なうものである。

【0096】これにより、本変形例の切り替え制御部24Aでは、上記の暫定領域データが無効な場合には無効処理部30Aによりラッチタイミング信号が暫定領域データラッチ部21に供給されず、暫定領域データラッチ部21では、無効なデータは保持されず、常に、信頼性のあるデータ(上記フレーム同期パターンが含まれる領域データ)のみに対してラッチ処理及びシリアル化処理を施すことが可能になる。

【0097】ところで、上記の暫定領域データの有効/無効は、本変形例では、A1バイト検出回路22-iのいずれかで検出されるA1バイトのパターン番号(スロット番号:並列データ中の先頭位置)と、A2バイト検出回路23-iのいずれかで検出されるA2バイトのパターン番号との一致/不一致により判断するようになっている。

【0098】つまり、 m 並列データ中からA1、A2バイトを検出する際、通常は、 $m=8$ （ビット） \times 自然数であり、検出したA1バイトのパターン番号とA2バイトのパターン番号とは基本的に一致しなければならないので、各パターン番号が一致すればそのときの暫定領域データは有効と判断され、各パターン番号が不一致であればそのときの暫定領域データは無効と判断されて以降の暫定領域データラッチ部21でのラッチ処理及びシリアル処理制御が禁止されるのである。

【0099】このため、本変形例における無効処理部30Aは、図14に示すように、A1パターン番号保持部27、比較部28及びマスク処理部29をそなえて構成されており、A1パターン番号保持部（A1バイト先頭位置保持部）27は、A1バイト検出回路22- i のいずれかでA1バイトが検出されると、そのA1バイトのパターン番号を一時的に保持するものであり、比較部28は、このA1パターン番号保持部27で保持されたA1バイトのパターン番号と、その後A2バイト検出回路23- i のいずれかで検出されるA2バイトのパターン番号とを比較するものである。

【0100】また、マスク処理部29は、この比較部28での比較の結果、検出されたA1バイトのパターン番号とA2バイトのパターン番号とが異なると、制御部25から暫定領域データラッチ部21（図5参照）へ出力されるラッチタイミング信号をマスクすることにより、暫定領域データラッチ部21での並列データに対するラッチ処理の基準位置となる暫定位置情報の供給を禁止するものである。

【0101】そして、上述のA1パターン番号保持部27、比較部28及びマスク処理部29は、それぞれ、例えば図15に示すように構成される。即ち、A1パターン番号保持部27は、8つのFF回路27-1～27-8をそなえて構成され、比較部28は、8つのANDゲート（論理積回路）28-1～28-8をそなえて構成され、マスク処理部29は、8入力型のORゲート29-1を用いて構成されている。

【0102】ここで、A1パターン番号保持部27において、FF回路27- i （ただし、 $i=1\sim 8$ ）は、対応するA1バイト検出回路22- i においてA1バイトが検出されると、そのA1バイトのパターン番号“ i ”を保持するもので、例えば、或るA1バイト検出回路22- i においてA1バイトが検出されると、パターン番号“ i ”のA1バイト検出信号パルスが対応するFF回路27- i のJ入力に入力されてそのQ出力が“H”となり、パターン番号“ i ”のA1バイト検出状態が維持されるようになっている。

【0103】また、比較部28において、ANDゲート28- i は、上述のA1パターン番号保持部27の対応するFF回路27- i のQ出力（パターン番号“ i ”）と、対応するA2バイト検出回路23- i においてA2

バイトが検出されると入力されるA2バイト検出信号パルス（検出されたA2バイトのパターン番号“ i ”）とが一致した場合（共に“H”となった場合）にのみ、その出力が“H”となるものである。

【0104】ORゲート29-1は、この比較部28の各ANDゲート28-1の出力（8入力）のうちのいずれかが“H”となると、“H”パルスを暫定領域データラッチ部21用のラッチタイミング信号として暫定領域データラッチ部21へ出力するものである。上述のごとく構成された本変形例におけるフレームパターン位置暫定検出部20では、この場合も、まず初期状態においては、各A1バイト検出回路22- i がイネーブル状態、各A2バイト検出回路23- i がディゼーブル状態となるように制御部25からコントロールされており、A1バイト検出動作状態となっている。

【0105】そして、 m 並列データ中から各A1バイト検出回路22- i のいずれかにおいてA1バイトが検出されると、その検出パルス（A1検出信号パルス）が制御部25に入力され、これにより、前述したごとく各A1バイト検出回路22- i がディゼーブル状態、各A2バイト検出回路23- i がイネーブル状態に制御されて、A2バイト検出動作に入る。

【0106】この時、検出されたA1バイトのパターン番号はA1パターン番号保持部27に保持される。例えば、A1バイト検出回路22-1においてパターン番号“1”のA1バイトが検出されると、A1バイト検出信号パルスのみが“H”となり〔図16（b）、図16（c）の時点T1参照〕、FF回路27-1のJ入力“H”となる。

【0107】これにより、FF回路27-1は、次のクロックタイミング〔図16（a）の時点T2参照〕で、Q出力が“H”となり〔他のFF回路27-2～27-8のQ出力は全て“L”：図16（g）の時点T2参照〕、図16（f）の時点T2に示すようにパターン番号“1”が保持された状態となり、比較部28のANDゲート28-1のみが出力可能状態となる。

【0108】そして、同時に、制御部25では、図10により前述したごとくFF回路25-1のQ出力が“H”、Q出力の反転出力が“L”となるので、図16（d）の時点T2に示すように各A2バイト検出回路23- i 用の制御信号が“H”（イネーブル状態）となるとともに、図16（e）の時点T2に示すように各A1バイト検出回路22- i 用の制御信号が“L”（ディゼーブル状態）となり、これにより、A2バイト検出動作開始状態となる。

【0109】その後、例えば図16（i）の時点T3に示すように、A2バイト検出回路23-2においてパターン番号“2”のA2バイトが検出されたとすると、制御部25では、次のクロックタイミング〔図16（a）の時点T4参照〕で、FF回路25-1のQ出力が

“L”, Q出力の反転出力が“H”となるので、図16(d)の時点T4に示すように各A2バイト検出回路23-i用の制御信号が“L”(ディゼーブル状態)となるとともに、図16(e)の時点T4に示すように各A1バイト検出回路22-i用の制御信号が“H”(イネーブル状態)となり、初期状態(A1バイト検出動作開始状態)に戻る。

【0110】このとき、制御部25は、A2バイトが検出されたことにより、暫定領域データラッチ部21へラッチタイミング信号を出力しようとするが、今、A1パターン番号保持部27で保持されていたA1バイトのパターン番号が“1”で、検出されたA2バイトのパターン番号が“2”で、各パターン番号が一致しないため、比較部28のANDゲート28-1は出力可能状態のままで、図16(k)の時点T3に示すようにラッチタイミング信号は出力されない。

【0111】一方、図16(b)の時点T5に示すようにA1バイト検出回路22-1においてパターン番号“1”のA1バイトが検出され、次のクロックタイミング〔図16(a)の時点T6参照〕で各A1バイト検出回路22-i、A2バイト検出回路23-iの検出動作が切り替えられたのち〔図16(d)、図16(e)の時点T6参照〕、図16(h)の時点T7に示すように同じパターン番号“1”のA2バイトがA2バイト検出回路23-iにおいて検出された場合は、比較部28において、ANDゲート28-1の各入力が“H”となり、図16(k)の時点T7に示すようにラッチタイミング信号が出力される。

【0112】なお、この場合も、上述のごとくA2バイトが検出されたことにより、制御部25は、次のクロックタイミング〔図16(a)の時点T8参照〕で、各A1バイト検出回路22-i、A2バイト検出回路23-iの検出動作を、再度、初期状態(A1バイト検出動作開始状態)に切り替える〔図16(d)、図16(e)の時点T8参照〕。

【0113】このように、本変形例におけるフレームパターン位置暫定検出部20では、上記暫定領域データが無効な場合は、無効処理部30Aによって、暫定領域データラッチ部21でのそのデータに対するラッチ処理、シリアル化処理が禁止されるので、信頼性のあるデータ(上記フレーム同期パターンが含まれる領域データ)のみが暫定領域データラッチ部21に保持されることになる。

【0114】従って、後段のフレーム同期パターン検出部16(図3参照)では、常に正確に、フレーム同期パターンを検出することができ、本処理装置11(検出装置14)の信頼性の向上に大いに寄与する。具体的には、検出したA1バイトのパターン番号と検出したA2バイトのパターン番号とが一致し検出対象のA1、A2バイトを正常に検出できた場合にのみ、その時の暫定領

域データが有効なデータとして暫定領域データラッチ部21に保持されるので、より信頼度の高い暫定領域データのみを検出・保持することができる。

【0115】なお、上記の動作は、本変形例では、A1パターン番号保持部27、比較部28(及びマスク処理部29)をそなえ、比較部28での比較により、検出したA1バイトのパターン番号とA2バイトのパターン番号とが異なると判定されると、上記の暫定領域データを無効と判断して、マスク処理部29によるマスク処理(無効処理)を実行するので、極めて簡素な構成で実現されている。

【0116】(B2)フレームパターン位置暫定検出部20の第2変形例の説明

次に、図17はフレームパターン位置暫定検出部20の第2変形例を示すブロック図で、この図17に示すように、本変形例の検出部20は、図9に示すものに比して、切り替え制御部24Bとして制御部25'と無効処理部30Bとしての機能を実現するためのタイマ31とをそなえて構成されている点が異なる。

【0117】ここで、タイマ31は、A1バイト検出部22においてA1バイトが検出されると所定時間カウント動作を行なうもので、本実施形態では、例えば図18に示すように、カウンタを用いて構成され、図19(a)に示すようにロード(Load)端子に“H”パルスが入力されると(時点T1参照)、図19(b)に示すようにそのQ出力が“H”となるようになっている(時点T1~T2参照)。

【0118】また、この図18に示すように、制御部25'は、本変形例では、ORゲート25-2、25-3、セレクト(SEL)32a、ORゲート32b、デコーダ(DEC)32c、ANDゲート32d及び反転ゲート32eをそなえて構成され、ORゲート25-2、25-3は、それぞれ、図10により前述したものと同様のものであり、セレクト32aは、タイマカウンタ31の入力用データ(DATA)として“0”又は“m”を選択するもので、ここでは、ラッチタイミング信号が入力されると、データ“m”が選択されるようになっている。

【0119】また、ORゲート32bは、ORゲート25-2の出力とANDゲート32dの出力との論理和をとるもので、A1検出信号パルス、ラッチタイミング信号のいずれかが“H”となると“H”パルスが出力されるようになっており、この“H”パルスがタイマカウンタ31のロード端子に入力されることによって、タイマカウンタ31のカウント動作が開始するようになっている。

【0120】さらに、デコーダ32cは、入力データ“m”をデコードすることにより、タイマカウンタ31のQ出力データが“m”となっていることを検出するので、このデコーダ32cにおいて“m”がデコードさ

れると、タイマカウンタ31のイネーブル(EN)端子を通じてタイマカウンタ31がディゼーブル状態となり、カウント動作が停止される。

【0121】つまり、このデコーダ32cは、タイマカウンタ31のカウント動作開始〔図19(a)、(b)の時点T3参照〕後に、ANDゲート32dにA2検出信号パルスが入力され〔図19(c)の時点T4参照〕、ANDゲート32dよりラッチタイミング信号が出力されると〔図19(d)の時点T4参照〕、強制的に次のクロックタイミングでタイマカウンタ31のカウント動作を停止させるようになっているのである〔図19(b)の時点T5参照〕。

【0122】また、ANDゲート32dは、タイマカウンタ31のQ出力とORゲート25-3の出力との論理積をとることにより、タイマカウンタ31のQ出力が“H”となっている間にA2バイトが検出されA2検出信号パルスが“H”となった場合にのみ、“H”パルスをラッチタイミング信号として出力するものであり、反転ゲート33は、タイマカウンタ31のQ出力を反転するもので、本変形例では、この反転ゲート33の出力が各A2バイト検出回路23-i用のイネーブル信号/ディゼーブル信号として用いられるようになっている。

【0123】つまり、上述の切り替え制御部24Bは、パラレル変換前の多重シリアルデータの多重度nとパラレル変換後の並列データの並列度mとの関係から、真のフレーム同期パターン入力時には、A1バイト検出後、或る特定のバイト数以内に必ずA2バイトが検出されるはずであることから、A1バイト検出後、或るバイト数分のガード時間内(タイマカウンタ31のカウント動作中)にA2バイトが検出されなかった場合、無効な検出として、再度、A1バイトから検出動作を行なうことにより、A1バイトと同じビットパターンが入力データ中に偶発的に存在した場合の誤検出を防止するようになっているのである。

【0124】上述のごとく構成された本第2変形例におけるフレームパターン位置暫定検出部20では、この場合も、初期状態においては、各A1バイト検出回路22-iがイネーブル状態、各A2バイト検出回路23-iがディゼーブル状態となるように制御部25'からコントロールされており、A1バイト検出動作状態となっている。

【0125】そして、例えば図20(a)に示すようなm並列データから、時点T1において、A1バイト検出回路22-iのいずれかでA1バイトが検出されると、図20(b)の時点T1に示すようにA1検出信号パルス(8ビット中の1ビット)が“H”となるので、ORゲート25-2の出力(タイマカウンタ31のロード入力)が“H”となる。

【0126】すると、タイマカウンタ31は、図20(d)の時点T2に示すように、次のクロックタイミン

グで、そのQ出力が“H”となり、カウント動作を開始するとともに、図20(e)の時点T2に示すように、各A1バイト検出回路22-iをディゼーブル状態、各A2バイト検出回路23-iをイネーブル状態に制御して、A2バイト検出動作状態に入る。

【0127】そして、図20(d)の時点T3に示すようにタイマカウンタ31のQ出力が“L”となりタイマリセットされるまでに、A2バイト検出回路23-iのいずれかでA2バイトが検出されない場合は、タイマカウンタ31のQ出力が“L”となることから、図20(e)の時点T3に示すように各A1バイト検出回路22-iがイネーブル状態、各A2バイト検出回路23-iがディゼーブル状態に制御されて、再度、A1バイト検出動作状態に入る。

【0128】このとき、タイマカウンタ31のQ出力およびORゲート25-3の出力がともに“L”であるので、ANDゲート32の出力は“L”のままであり、図20(f)の時点T3に示すようにラッチタイミング信号は出力されない。その後、再度、図20(a)の時点T4に示すように、A1バイト検出回路22-iのいずれかでA1バイトが検出されると、図20(b)の時点T4に示すようにA1検出信号パルスが“H”となるので、次のクロックタイミングでQ出力が“H”となり、カウント動作が開始される〔図20(d)の時点T5参照〕。

【0129】なお、この場合も、A1バイトが検出されたことで、制御部25'は、タイマカウンタ31のQ出力を用いて、各A1バイト検出回路22-iをディゼーブル状態、各A2バイト検出回路23-iをイネーブル状態に制御して、A2バイト検出部23によるA2バイト検出動作状態に入る〔図20(e)の時点T5参照〕。

【0130】そして、図20(a)、図20(d)の時点T6に示すように、タイマカウンタ31のカウント動作中(Q出力が“H”となっている間)に、A2バイト検出回路23-iのいずれかでA2バイトが検出されA2検出信号パルスが“H”となると、図20(f)の時点T6に示すように、ANDゲート32の出力が“H”となりラッチタイミング信号が出力される。

【0131】このとき、タイマカウンタ31は、このラッチタイミング信号を契機にセクタ32aを通じてデータ“m”を取り込み、Q出力としてデータ“m”を出力する。すると、デコーダ32cがこのデータ“m”をデコードするので、タイマカウンタ31のカウント動作が強制的に停止されるとともに、各A1バイト検出回路22-iがイネーブル状態、各A2バイト検出回路23-iがディゼーブル状態に制御されて、再度、A1バイト検出動作状態に入る〔図20(d)、図20(e)の時点T7参照〕。

【0132】このように、本第2変形例におけるフレー

ムパターン位置暫定検出部20によれば、A1バイト検出後、或るバイト数分のガード時間が経過してもA2バイトが検出されないと、ラッチタイミング信号の出力を禁止して、そのときの暫定領域データを無効にするので、入力データ中に偶発的に存在するA1バイトと同一ビットパターンによる繰返し検出を防止することができる。従って、長時間、暫定領域データを検出できないといった状態を確実に回避することができ、これにより、本処理装置11（検出装置14）の信頼性が大幅に向上する。

【0133】(B3) フレームパターン位置暫定検出部20の第3変形例の説明

次に、図21はフレームパターン位置暫定検出部20の第3変形例を示すブロック図であるが、この図21に示すように、本変形例の検出部20は、図9に示すものに比して、切り替え制御部24Cとして制御部33-1～33-8、無効処理部30Cとしての機能を実現するためのA1バイト連続性監視部34-1～34-8及び8入力型のORゲート35をそなえて構成された点が異なる。

【0134】ここで、A1バイト連続性監視部34-i（ただし、 $i=1\sim8$ ）は、A1バイト検出部22においてA1バイトが連続して検出されたか否かを監視するものであり、制御部33-iは、このA1バイト連続性監視部34-iにおいてA1バイトの連続性が確認されない状態で、A2バイト検出部23においてA2バイトも検出されないと、ラッチタイミング信号の出力を禁止するとともに、検出動作を初期状態（A1バイト検出部22をイネーブル状態、A2バイト検出部23をディゼーブル状態）に（リセット）制御するものである。

【0135】ORゲート55は、各制御部33-iのいずれかでA1バイト検出後、A2バイトが正常に検出されたことが確認されると出力される“H”パルスをラッチタイミング信号として暫定領域データラッチ部21へ供給するものである。このため、上述の制御部33-i、A1バイト連続性監視部34-iは、実際には、例えば図22に示すように、1入力反転型のANDゲート33a、JKタイプのFF回路33b、ANDゲート33cを用いて構成され、A1バイト検出回路22-iのいずれかでA1バイトが検出されると、対応するA2バイト検出回路23-iをイネーブル状態とし（これは、例えばFF回路33bのQ出力が“H”となることで実現される）、その後、同じパターン番号“i”のA1バイトが検出されると上記の状態を維持する（FF回路33bのQ出力が“H”に保持される）一方、A2バイト検出回路23-iで同じパターン番号“i”のA2バイトが検出されるとラッチタイミング信号を出力するとともに、検出動作を初期状態に制御（リセット：FF回路のQ出力が“L”となることで実現される）するようになっている。

【0136】つまり、本変形例における切り替え制御部24Cは、A1バイト連続性監視部34-iにおいてA1バイトの連続性が確認されず、且つ、A2バイト検出部23-iにおいてA2バイトが検出されないと、無効処理部30Cにより、そのときの暫定領域データが無効と判断され、ラッチタイミング信号の出力が禁止されるとともに検出動作が初期状態に戻るようになっているのである。

【0137】上述のごとく構成された本第3変形例におけるフレームパターン位置暫定検出部20では、この場合も、初期状態においては、各A1バイト検出回路22-iがイネーブル状態、各A2バイト検出回路23-iがディゼーブル状態となるように制御部33-iからコントロールされており、A1バイト検出動作状態となっている。

【0138】そして、例えば図23(a)、図23

(b)の時点T1に示すように、m並列データ中からA1バイト検出回路22-iのいずれかでA1バイトが検出されると、制御部33-iによって、その検出したパターン番号“i”以外のA1バイト検出回路22-i、A2バイト検出回路23-iがディゼーブル状態に制御されるとともに、検出したパターン番号“i”に対応するA1バイト検出回路22-i、A2バイト検出回路23-iのみがイネーブル状態に制御される〔図23(d)の時点T1参照〕。

【0139】その後、例えば図23(a)、図23

(b)の時点T2に示すように、次のビットで同じパターン番号“i”のA1バイトがA1バイト検出回路22-iで検出された場合は、制御部33-iにより、この状態（そのパターン番号“i”に対応するA1バイト検出回路22-i、A2バイト検出回路23-iのみがイネーブル状態）が維持される〔図23(d)の時点T2参照〕。

【0140】そして、図23(a)、図23(b)の時点T3に示すように、A1バイト以外のデータが検出されると、制御部33-iは、A1バイト検出部22、A2バイト検出部23による検出動作を初期状態に戻す（リセットする）。一方、上述と同様に、m並列データ中からA1バイト検出回路22-iのいずれかでA1バイトが検出され〔図23(a)、図23(b)の時点T4参照〕、制御部33-iによって、その検出パターン番号“i”に対応する検出回路22-i、23-iのみがイネーブル状態に制御された状態で〔図23(d)の時点T4参照〕、同じパターン番号“i”のA1バイトが検出されている間は〔図23(a)、図23(b)の時点T5、T6参照〕、この場合も、その状態が維持されるが、A2バイト検出回路23-iでA2バイトが検出されると〔図23(a)、図23(c)の時点T7参照〕、ラッチタイミング信号が出力されるとともに〔図23(e)の時点T7参照〕、検出動作が初期状態に戻

る〔図23(d)の時点T8参照〕。

【0141】このように、本変形例におけるフレームパターン位置暫定検出部20では、A1バイトが検出されたのちにA1バイトかA2バイトが検出された場合以外、つまり、A1バイトが検出されたのちにA1、A2バイト以外の未知のデータが検出された場合に、ラッチタイミング信号の出力を禁止して、その時の暫定領域データを無効なデータとして暫定領域データラッチ部21に保持させないので、より暫定領域データの信頼性を向上させることができる。

【0142】(B4)フレームパターン位置暫定検出部20の第4変形例の説明

次に、図24はフレームパターン位置暫定検出部20の第4変形例を示すブロック図であるが、この図24からも分かるように、本変形例における検出部20は、切り替え制御部24Dとして、第1変形例～第3変形例にて上述した各切り替え制御部24A～24Cをそなえて構成されたもので、それぞれ、各切り替え制御部24A～24Cが独立して各項目(B1)～(B3)にて上述した制御を行なうようになっている。

【0143】これにより、本第4変形例におけるフレームパターン位置暫定検出部20では、①検出されたA1バイトのパターン番号とA2バイトのパターン番号とが一致しない場合、②A1バイト検出後、或るガード時間内にA2バイトが検出されない場合、③A1バイト検出後、A1バイト、A2バイト以外の未知のデータが検出された場合のいずれの場合にも、暫定領域データラッチ部21へのラッチタイミング信号の供給が禁止されて、そのときの暫定領域データが無効にされる。

【0144】つまり、A1バイト検出後、或るガード時間内にA2バイトが検出され、且つ、検出されたA1バイトのパターン番号とA2バイトのパターン番号とが一致し、上記①～③の条件がいずれも成立しない場合のみ、そのときの暫定領域データに真のフレーム同期パターンが含まれているものとして、暫定領域データラッチ部21へラッチタイミング信号が供給され、暫定領域データラッチ部21でのラッチ処理、シリアル化処理が行なわれる。

【0145】従って、暫定領域データの検出精度が大幅に向上し、本処理装置11(検出装置14)の信頼性のさらなる向上を図ることができる。なお、上述の切り替え制御部24Dは、3つの切り替え制御部24A～24Cを組み合わせて構成しているが、いずれか2つのみ(切り替え制御部24Aと24B、切り替え制御部24Bと24C、切り替え制御部24Aと24C)を組み合わせて構成してもよい。

【0146】(B5)暫定フレーム同期パターン検出部15の変形例の説明

次に、図25は図5、図6に示す暫定フレーム同期パターン検出部15の変形例を示すブロック図であるが、こ

の図25に示すように、本変形例における暫定フレーム同期パターン検出部15'は、図5、図6に示すフレームパターン位置暫定検出部20に代えて、A1・A2バイト検出部36-1～36-8、ORゲート37及びシフトレジスタ38を有するフレームパターン位置暫定検出部20'をそなえて構成されている。

【0147】ここで、シフトレジスタ38は、入力m並列データを1タイムスロット分遅延させるものであり、各A1・A2バイト検出部36-i(ただし、i=1～8)は、それぞれ、このシフトレジスタ38による遅延前、遅延後の2タイムスロット分のm並列データからA1バイト、A2バイトを同時に検出するものであり、ORゲート37は、これらのA1・A2バイト検出部36-iのいずれかでA1バイト、A2バイトが同時に検出されると、“H”パルス(検出位置)を暫定領域データラッチ部21用のラッチタイミング信号として出力するものである。

【0148】このため、上述の各A1・A2バイト検出部36-iは、それぞれ、例えば図26に示すように、A1パターンデコード部39、A2パターンデコード部40及びANDゲート41をそなえて構成され、A1パターンデコード部39においてA1バイトのビットパターンが検出され、且つ、A2パターンデコード部40においてA2バイトのビットパターンが検出されると、ANDゲート41の出力が“H”となり、上記ラッチタイミング信号が出力されるようになっている。

【0149】つまり、本変形例におけるフレームパターン位置暫定検出部20'は、例えば図27(a)に示すようにA1、A2バイトがそれぞれn個連続しているn多重シリアルデータを図27(b)に示すようにm並列化(ただし、m=8×自然数で、この場合はm=16を例にする)した場合に必ず存在するA1、A2バイトの境界〔図27(b)中の網かけ部参照〕を1度の検出動作である程度特定できるようになっているのである。なお、上記の境界はシリアルデータ中の真のA1、A2バイトの境界ではないが、この検出位置の前後数バイト内には必ず真の境界点が存在している。

【0150】従って、この場合は、より効率良く、m並列データ中のフレーム同期パターンが含まれる領域を絞り込むことができ、より高速に、且つ、高精度に、暫定領域データを検出することが可能になる。なお、図25に示すように、A1・A2バイト検出部36-iが8つ設けられているのは、この場合も、m並列データ中にA1バイト(又はA2バイト)の先頭スロットが8通りしか存在しないためである。従って、並列データの並列度mが増えても、これら8つのA1・A2バイト検出部36-iで対応でき、本処理装置11(検出装置14)の汎用性にも大いに寄与することとなる。

【0151】(C)暫定領域データラッチ部21の詳細説明

次に、図28は図5、図6（又は図24）に示す暫定領域データラッチ部21の詳細構成を示すブロック図であるが、この図28において、21A～21CはそれぞれFF（シフト）段、21D～21Fはそれぞれセクタ段で、この図28に示すように、各FF段21A～21Cは、それぞれ、入力並列データの並列度mに応じm段のFF（シフト）回路21a-1～21a-mをそなえて構成され、セクタ段21Dはm-1段のセクタ（SEL）21b-1～21b-(m-1)、各セクタ段21E、21Fは、それぞれ、m段のセクタ21b-1～21b-mをそなえて構成されている。

【0152】ここで、上記の各FF回路21a-j（ただし、j=1～m）は、それぞれ、入力データを一時的に保持して1クロック（1バイト）分シフト（遅延）させるものであり、各セクタ21b-k（ただし、k=1～m-1）、21b-jは、それぞれ、上述したフレームパターン位置暫定検出部20（又は20'）から供給されるラッチタイミング信号（LT）に応じてその入力が切り替えられるものである。

【0153】そして、本実施形態では、ラッチタイミング信号が供給されない間は、各セクタ21b-k、21b-jの入力がそれぞれ並列データ入力側へ切り替わられて、各FF回路21a-jの出力が後段の対応するFF回路21a-jの入力に直列に接続され（実線矢印参照）、ラッチタイミング信号が供給されると、各セクタ21b-k、21b-jの入力がそれぞれ各FF段21A～21Cの内部において下位段側へ切り替えられて、下位段側のFF回路21a-j（ただし、この場合はj≧2）の出力が上位段側のFF回路21a-(j-1)の入力に順次接続されるとともに、シフト段21A（21B）における最上位段のFF回路21a-1の出力が後段のシフト段21B（21C）における最下位段のFF回路21-mの入力に接続されるようになっている（破線矢印参照）。

【0154】これにより、上述の暫定領域データラッチ部21では、上述のフレームパターン位置暫定検出部20（又は20'）においてフレーム同期パターンの暫定位置情報が検出され、ラッチタイミング信号が供給されると、そのタイミングで各セクタ21b-k、21b-jの入力が上記下位段側へ切り替えられるので、入力並列データ（暫定領域データ）が、図28中の破線矢印で示す経路を通して各FF回路21a-jで順次シフトされてゆき、最終的に、FF段21Cにおける最上位段のFF回路21a-1からは入力並列データ1～mを時分割に多重したシリアルデータが出力される。

【0155】例えば、上記m=8として考え、各FF回路21a-jの出力データが図29に示すような状態となっていると仮定すると（ただし、図29中において、A1-iはA1バイトの“i”番目のビット、A2-iはA2バイトの“i”番目のビットを表す）、上述の切

り替えにより、図30に示すように各FF回路21a-jが接続され、例えばA1-8、A1-1、A1-2、・・・、A2-6、A2-7の順に入力並列データがシリアルに出力されてゆく。

【0156】このように、上述の暫定領域データラッチ部21では、並列データのシフト動作と並列データのシリアル化動作とをシフト回路21a-jで実現することにより、例えば図31に示すように、並列データをシフト、ラッチするためのシフトレジスタ42、ラッチ回路43と並列データをシリアル化するための並列/シリアル変換回路44とをそれぞれ個別にそなえる必要がない。従って、本処理装置11（検出装置14）の装置規模を最小限に抑えながら、上記のシリアル化処理を極めて高速に行なうことができる。

【0157】なお、上述の暫定領域データラッチ部21は、本実施形態では、ラッチタイミング信号が供給された時点を現時点とした場合に、少なくともその前後1バイト分の並列データを暫定領域データとしてシリアル化できるように、FF段21A～21Cの3段構成としているが、この段数は暫定領域データの必要バイト数に応じて可変にすればよい。

【0158】ところで、上述の暫定領域データラッチ部21では、フレームパターン位置暫定検出部20（又は20'）よりラッチタイミング信号が供給されない間は、シリアルデータとして、m並列データいずれか1本（例えば図28では並列データ番号“1”のデータ）のみが出力されるが、これはn多重された信号列上、実際には存在しないパターンであることから、後段のフレーム同期パターン検出部16では誤った検出を行なう可能性がある。

【0159】そこで、例えば図32に示すように、タイミング伸長部45、マスク処理部46が付加すれば、フレームパターン位置暫定検出部20（又は20'）においてラッチタイミング信号が検出されない間のシリアルデータ出力がタイミング伸長部45からのタイミング信号によりマスク処理部46でマスクされる。具体的に、マスク処理を行わないのは暫定領域データラッチ部21で並列/シリアル変換処理を行なっている期間であることから、その期間だけマスク処理部46が出力可能状態となるよう、フレームパターン位置暫定検出部20（又は20'）で検出されたラッチタイミング信号（符号47参照）がタイミング伸長部45において必要とする時間幅に伸長した信号に変換され（符号48参照）、その伸長信号がマスク処理部46に供給されている間のシリアルデータのみが有効なデータとしてフレーム同期パターン検出部16へ出力される。

【0160】従って、フレーム同期パターン検出部16では、常に、フレーム同期パターンの含まれるデータに対してのみフレーム同期パターン検出を行なうので、検出動作の信頼性の向上、消費電力の低減などに大いに寄

与する。

(D) フレーム同期パターン検出部16の詳細説明
ところで、上述のフレーム同期パターン検出部16は、通常、例えば図33に示すように、暫定フレーム同期パターン検出部15からのシリアルデータを、シフトレジスタ部16-1において順次遅延させ、フレーム同期パターン検出回路16-2でA1、A2バイトの並びを検出した時点でフレーム同期パターン検出パルスを出力するようになっている。

【0161】従って、この場合、シフトレジスタ部16-1には、最小でも並列データ中に存在するフレーム同期パターンのパターン(ビット)数分のシフトレジスタが必要となる。例えば、真のフレームパターンがA1、A2バイトの2バイトとすれば、最小でも16ビット分のシフトレジスタが必要となる。しかし、これでは、フレーム同期パターン検出のためにパターン数(m並列データならmパターン)分のシフトレジスタがシフトレジスタ部16-1に必要となるので、この検出処理に大きな遅延が生じてしまう場合がある。

【0162】そこで、本実施形態では、例えば図34に示すように、フレーム同期パターン検出部16が、暫定フレーム同期パターン検出部15の暫定領域データラッチ部21と協働して動作することにより、フレーム同期パターンの検出を、暫定領域データラッチ部21での暫定領域データのシリアル化処理を利用して行なうようにしている。

【0163】つまり、上述のフレーム同期パターン検出部16は、図28に示す暫定領域データラッチ部21が各FF回路21a-jにより入力パラレルデータを順次シフトしながらシリアル化することで、シリアル化途中の並列データ(例えば、最終FF段21cのFF回路21a-jの各出力)にはフレーム同期パターン検出に必要なパターンが全て含まれるデータの並びが現れることを利用して、フレーム同期パターンの検出をシリアル化処理と同時に進めるようにしているのである。

【0164】従って、暫定フレーム同期パターン検出部15での暫定領域データの検出からフレーム同期パターン検出部16での真のフレーム同期パターンの検出までの処理時間(遅延時間)を最小限にすることができ、極めて高速に、上記の暫定領域データよりフレーム同期パターンを検出することができる。

(E) バイトスイッチ制御部19の詳細説明
次に、図35は上述のバイトスイッチ制御部19(図3参照)の詳細構成を示すブロック図であるが、この図35に示すように、本実施形態におけるバイトスイッチ制御部19は、m進(mは並列度)カウンタ19-1、デコーダ19-2、ORゲート19-3及びJKタイプのFF回路19-4をそなえて構成されている。

【0165】ここで、m進カウンタ19-1は、イネーブル端子(EN)に“H”パルスが入力されている間、初期

値を“0”として“m-1”までのカウンタ値を繰り返してカウントするもので、上記イネーブル端子への入力(“L”)となった時点でそのときのカウンタ値(Q出力)が、後述するビットシフト量としてバイトスイッチ部13(図3参照)へ出力されるようになっている。

【0166】また、デコーダ19-2は、このm進カウンタ19-1のカウンタ値“m-1”をデコード(検出)するもので、このデコーダ19-2においてカウンタ値“m-1”がデコードされる度に、ORゲート19-3の出力が“H”となり、m進カウンタ19-1にデータ入力端子(D)を通じて初期値“0”が入力され、m進カウンタ19-1による“0”～“m-1”のカウント動作が繰り返されるようになっている。

【0167】さらに、FF回路19-4は、m進カウンタ19-1のイネーブル端子用の制御信号を生成するもので、例えば、上述のラッチタイミング信号(暫定位置検出パルス)が“H”となると、Q出力が“H”となりm進カウンタ19-1をイネーブル状態に制御し、この状態で、フレーム同期パターン検出部16からのフレーム同期パターン検出パルスが“H”となると、Q出力が“L”となりm進カウンタ19-1をディゼーブル状態に制御するようになっている。

【0168】つまり、上述のバイトスイッチ制御部19は、例えば図37に示すようにフレーム同期パターンの先頭データをm並列データの1ビット目に調整するためのシフト量(ビットシフト量)が、暫定フレーム同期パターン検出部15において暫定位置検出パルスが検出されてから〔図36(a)参照〕、フレーム同期パターン検出部16において真のフレーム同期パターンが検出されるまで〔図36(b)参照〕の間の暫定領域データラッチ部21でのビットシフト量に相当することから、バイトスイッチ部13用のバイトスイッチ制御情報をこのビットシフト量により認識するようになっているのである。

【0169】また、本実施形態では、フレーム同期パターンの暫定位置(真のフレームパターンを含めた前後数バイトのデータ)からのビットシフト量をバイトスイッチ情報としているので、その前後のバイト数によっては不要なデータ部が存在する可能性があり、例えば図38に示すようにビットシフト量の値が並列度mを超える〔“m+z”(ただし、zは自然数)となる〕場合があるが、この場合のビットシフト量は“z”と同等であるので、m進カウンタ19-1によりその値“m+z”を“m”で割ることによってビットシフト量“z”を算出するようにしている。

【0170】上述のごとく構成された本実施形態のバイトスイッチ制御部19では、暫定フレーム同期パターン検出部15においてフレーム同期パターンの暫定位置が検出され検出パルスが入力されると〔図39(a)の時点T1参照〕、m進カウンタ19-1のロード端子入力

(ORゲート19-3の出力)、イネーブル端子入力(FF回路19-4のQ出力)がともに“H”となり〔図39(c)、図39(d)の時点T1参照〕、m進カウンタ19-1がデータ“0”を取り込んで“0”からカウント動作を開始する〔図39(e)の時点T1参照〕。

【0171】その後、このm進カウンタ19-1は、フレーム同期パターン検出部16においてフレーム同期パターンが検出されフレームパターン検出パルスがFF回路19-4のK入力に入力されるまでイネーブル状態が維持されるが、この間に、例えば図39の時点T2に示すように、“m-1”をカウントすると、この値がデコーダ19-2でデコードされるので、再度、ロード端子入力(ORゲート19-3の出力)、イネーブル端子入力(FF回路19-4のQ出力)がともに“H”となり〔図39(c)、図39(d)の時点T2参照〕、再び、“0”からカウント動作を繰り返す。

【0172】さらにその後、例えば図39(b)の時点T3に示すように、フレーム同期パターン検出部16においてフレーム同期パターンが検出されフレームパターン検出パルスがFF回路19-4のK入力に入力されると、その時のカウンタ19-1のカウント値(ここでは、“z”)がバイトスイッチ部13用のビットシフト量として出力されるとともに、次のクロックタイミングでFF回路19-4のQ出力(m進カウンタ19-1のイネーブル端子入力)が“L”となり〔図39(c)の時点T4参照〕、カウント動作が停止される。

【0173】このように、上述のバイトスイッチ制御部19では、フレーム同期パターンの暫定位置(暫定領域データ)が検出されてから真のフレーム同期パターンが検出されるまでの期間に相当するデータ(ビット)シフト量をバイトスイッチ部13用のバイトスイッチ制御情報として出力して並列データの並べ替え処理を制御するので、常に正確に、フレーム同期パターンを並列データ中の先頭に位置させることができる。

【0174】従って、極めて単純な制御で、上記の並べ替え処理を実現でき、本処理装置11(検出装置14)の装置規模の簡素化、処理の高速化に大いに寄与する。また、このバイトスイッチ制御部19では、並列データの並列数分のカウンタ値“0”～“m-1”のカウントを行なうm進カウンタ19-1のカウント値を、上記のビットシフト量としているので、暫定領域データのデータ量の関係から上記のビットシフト量が並列データの並列度“m”を超える場合でも、常に、データ並べ替え処理に必要な時間を最小限にすることができ、より高速に、バイトスイッチ部13での並べ替え処理を行なわせることができる。

【0175】以上のように、本実施形態におけるフレーム同期パターン処理装置11(フレーム同期パターン検出装置14)によれば、まず、入力並列データよりフレ

ーム同期パターンが含まれるであろう領域の候補を暫定的に検出し、その暫定領域より、真のフレーム同期パターンを検出するので、並列データの並列度に関わらず、1つの回路で並列データ中のフレーム同期パターンを検出することが可能になる。従って、扱うデータの並列度が増しても、本装置の規模や消費電力、コストなどを増大させることなく、高速に、フレーム同期パターンを検出することができる。

【0176】(F)その他

なお、上述の実施形態では、SOH終端処理部404(図44参照)に、フレーム同期パターン検出装置14を有するフレーム同期パターン処理装置11を適用しているが、本発明はこれに限定されず、フレーム同期パターン検出装置14単体を独立して適用してもよい。

【0177】また、上述の実施形態では、SDH伝送方式に基づくフレーム同期パターン(A1、A2バイト)の検出を対象としているが、本発明はこれに限定されず、所定のフレーム同期パターンを有するデータより、そのフレーム同期パターンが含まれる領域データの候補を暫定的に検出し、その暫定領域から真のフレーム同期パターンを検出するようにしてもよい。従って、本装置14は、SDH伝送方式以外の伝送方式やデータ処理方式などにも適用することが可能であり、その汎用性にも大いに寄与することとなる。

【0178】

【発明の効果】以上詳述したように、本発明のフレーム同期パターン処理装置によれば、暫定領域検出部によってフレーム同期パターンが含まれるであろう領域の候補を暫定的に検出してから、フレーム同期パターン検出部においてその暫定領域より真のフレーム同期パターンを検出するので、パラレルデータの並列度に関わらず、1つの回路でパラレルデータ中のフレーム同期パターンを検出することが可能になり、これにより、以下のような効果が得られる(請求項1)。

【0179】①扱うデータの並列度が増しても、本装置の規模や消費電力、コストなどを増大させることなく、高速に、フレーム同期パターンを検出することができる。

②1つの回路(パラレルデータに対して共通の回路)でパラレルデータ中のフレーム同期パターンを検出することが可能になるので、フレーム同期パターンの検出情報がパラレルデータに対して1本に削減され、例えば、フレーム同期確立の際の保護段数情報のカウント制御などの各種制御が単純化され、本装置の規模や消費電力、コストの低減に大いに寄与する。

【0180】また、具体的に、上述の暫定領域検出部では、暫定位置情報検出部によって、上記フレーム同期パターンのパラレルデータ内における暫定位置情報を検出し、検出された暫定位置情報を基準位置とした所定の領域のパラレルデータを上記暫定領域データとして順次保

持しながらシリアルに出力するので、フレーム同期パターンが含まれるであろう領域のデータを確実に検出することが可能になり、フレーム同期パターン検出処理時の信頼性が大幅に向上する(請求項2)。

【0181】さらに具体的に、上記の暫定位置情報検出部では、A1バイトが検出されたのちA2バイトが検出された時点で、そのA2バイトを基準位置とした所定の領域にA1バイト、A2バイトからなるフレーム同期パターンが含まれるものとして、その領域データを暫定領域データ保持部に保持させるので、フレーム同期パターン検出部では、極めて効率良く、且つ、高速に、A1バイト、A2バイトからなるフレーム同期パターンを検出することが可能になる(請求項3)。

【0182】なお、このとき、A1バイト検出時には、上記パラレルデータ中に存在しうるA1バイト先頭位置毎にA1バイトを1バイト分検出するとともに、A2バイト検出時には、上記パラレルデータ中に存在しうるA2バイト先頭位置毎にA2バイトを1バイト分検出すればよいので、A1バイト/A2バイトの検出に必要な回路数が上記パラレルデータの並列度に関わらず、1バイト(8ビット)分で済み、本装置の装置規模、消費電力、コスト、LSI化の際のレイアウトなどの面で非常に有利となる(請求項4)。

【0183】また、上記の暫定位置情報検出部では、A1バイトを検出すると、A1バイトの検出動作を停止するとともにA2バイトの検出動作を開始する一方、A2バイトを検出すると、A2バイトの検出動作を停止するとともにA1バイトの検出動作を開始するので、A1バイトを検出したのちにA2バイトを検出する動作が確実に実現され、極めて効率良く、上記A1バイト、A2バイトからなるフレーム同期パターンの暫定位置情報を検出することができる(請求項5)。

【0184】なお、このとき、上記の検出動作の制御を、JKタイプのフリップフロップ回路を用いて実現すれば、その構成が極めて簡素になるので、装置規模の縮小、コストの低減などにも大いに寄与することとなる(請求項6)。さらに、上記の暫定位置情報検出部では、上記暫定領域データが無効な場合は、そのデータを暫定領域データ保持部に保持させないので、信頼性のあるデータ(上記フレーム同期パターンが含まれる領域データ)のみが暫定領域データ保持部に保持されることになる。従って、フレーム同期パターン検出部では、常に正確に、上記フレーム同期パターンを検出することができ、本装置の信頼性の向上に大いに寄与する(請求項7)。

【0185】具体的には、検出したA1バイトの先頭位置と検出したA2バイトの先頭位置とが一致し検出対象のA1、A2バイトを正常に検出できた場合にのみ、その時の暫定領域データが有効なデータとして暫定領域データ保持部に保持されるので、より信頼度の高い領域デ

ータのみを検出・保持することができる(請求項8)。

【0186】なお、上記の動作は、検出したA1バイトのパラレルデータ中の先頭位置を保持するA1バイト先頭位置保持部と、検出したA1バイト、A2バイトの各先頭位置を比較する比較部とをそなえ、この比較部での比較により、A1バイトの先頭位置とA2バイトの先頭位置とが異なると判定されると、上記暫定領域データを無効と判断して、上記無効処理を実行するようにすれば、極めて簡素な構成で実現することができる(請求項9)。

【0187】また、上記の暫定位置情報検出部は、A1バイトが検出されてから所定時間経過してもA2バイトが検出されないと、上記暫定領域データを無効なデータとして暫定領域データ保持部に保持させないようにすることもできるので、上記パラレルデータ中に偶発的に発生するA1バイトと同一パターンの繰り返し検出を防止することができる。従って、長時間、上記の暫定領域データを検出できないといった状態を確実に回避することができ、さらに本装置の信頼性が大幅に向上する(請求項10)。

【0188】さらに、上記の暫定位置情報検出部は、A1バイトが検出されたのちにA1バイトかA2バイトが検出された場合以外、つまり、A1バイトが検出されたのちにA1、A2バイト以外の未知のデータが検出された場合に、その時の上記暫定領域データを無効なデータとして暫定領域データ保持部に保持させないようにすることもできるので、上記暫定領域データの信頼性をより向上させることができる(請求項11)。

【0189】また、上述の暫定位置情報検出部では、上記パラレルデータからA1、A2バイトを同時に検出することにより、上記パラレルデータの複数タイムスロット上に現れるA1バイトとA2バイトの境界が含まれる領域(つまり、上記フレーム同期パターンが含まれる領域)を、1度の検出動作である程度特定することもできるので、この場合は、より効率良く、上記フレーム同期パターンが含まれる領域を絞り込むことができ、より高速に、且つ、高精度に、上記の暫定領域データを検出することが可能になる(請求項12)。

【0190】さらに、上述の暫定領域データ保持部では、パラレルデータのシフト動作とパラレルデータのシリアル化動作をシフト回路により実現することにより、パラレルデータをシフトするための回路とパラレルデータをシリアル化するための回路とをそれぞれ個別にそなえずに、入力パラレルデータをシリアル化することができるので、本装置の装置規模を最小限に抑えながら、上記のシリアル化処理を極めて高速に行なうことができる(請求項13)。

【0191】なお、この暫定領域データ保持部に、上記の入力パラレルデータとして上記暫定領域データ以外のパラレルデータが入力されると暫定領域データ保持部の

出力をマスクするマスク処理部を付加すれば、フレーム同期パターン検出部では、常に、フレーム同期パターンの含まれるデータに対してのみフレーム同期パターン検出を行なうので、検出動作の信頼性の向上、消費電力の低減などに大いに寄与する(請求項14)。

【0192】また、フレーム同期パターン検出部では、上記の暫定領域検出部と協働して動作することにより、フレーム同期パターンの検出を上記暫定領域データのシリアル化処理を利用して行なえば、暫定領域検出部での暫定領域データの検出からフレーム同期パターン検出部でのフレーム同期パターンの検出までの処理時間を最小限にすることができるので、極めて高速に、上記の暫定領域データよりフレーム同期パターンを検出することができる(請求項15)。

【0193】さらに、パラレルデータの並べ替え処理時には、上記の暫定領域検出部において暫定領域データが検出されてからフレーム同期パターン検出部においてフレーム同期パターンが検出されるまでの期間に相当するデータシフト量の分だけデータ並べ替え処理が制御されるので、常に正確に、上記フレーム同期パターンを上記パラレルデータ中の先頭に位置させることができる。従って、極めて単純な制御で、上記の並べ替え処理を実現でき、本装置の装置規模の簡素化、処理の高速化に大いに寄与する(請求項16)。

【0194】具体的に、このとき、パラレルデータの並列数分のカウンタ値のカウントを行なうカウンタのカウント値を、上記のデータシフト量とすれば、暫定領域データのデータ量の関係から上記のデータシフト量がパラレルデータの並列度を超える場合でも、常に、データ並べ替え処理に必要な時間を最小限にすることができるので、より高速に、この並べ替え処理を行なうことができる(請求項17)。

【0195】次に、本発明のフレーム同期パターン検出装置によれば、まず、暫定領域検出部によりフレーム同期パターンが含まれるであろう領域の候補を暫定的に検出し、フレーム同期パターン検出部において、その暫定領域より、真のフレーム同期パターンを検出するので、パラレルデータの並列度に関わらず、1つの回路でパラレルデータ中のフレーム同期パターンを検出することが可能になる。従って、この場合も、扱うデータの並列度が増しても、本装置の規模や消費電力、コストなどを増大させることなく、高速に、フレーム同期パターンを検出することができる(請求項18)。

【0196】なお、上記の暫定領域検出部は、SDH伝送方式に基づくフレーム同期パターンに限らず、所定のフレーム同期パターンを有するデータより、そのフレーム同期パターンが含まれる領域データの候補を暫定的に検出するようにしてもよいので、本装置は、SDH伝送方式以外の伝送方式やデータ処理方式などにも適用することが可能であり、その汎用性にも大いに寄与する(請

求項19、20)。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の原理ブロック図である。

【図3】本発明の一実施形態としてのフレーム同期パターン処理装置の構成を示すブロック図である。

【図4】本実施形態におけるフレーム同期パターンの検出概念を説明するための図である。

【図5】本実施形態の暫定フレーム同期パターン検出部の構成を示すブロック図である。

【図6】本実施形態のフレームパターン位置暫定検出部の構成を示すブロック図である。

【図7】本実施形態のフレームパターン位置暫定検出部の動作を説明するための図である。

【図8】本実施形態のフレームパターン位置暫定検出部の動作を説明するための図である。

【図9】本実施形態のフレームパターン位置暫定検出部の詳細構成を示すブロック図である。

【図10】本実施形態のフレームパターン位置暫定検出部における制御部の構成を示すブロック図である。

【図11】本実施形態のフレームパターン位置暫定検出部における制御部の他の構成を示すブロック図である。

【図12】(a)～(e)はそれぞれ本実施形態のフレームパターン位置暫定検出部の動作を説明するためのタイムチャートである。

【図13】(a)～(e)はそれぞれ本実施形態のフレームパターン位置暫定検出部における制御部の動作を説明するためのタイムチャートである。

【図14】本実施形態のフレームパターン位置暫定検出部の第1変形例を示すブロック図である。

【図15】第1変形例のフレームパターン位置暫定検出部における切り替え制御部の詳細構成を示すブロック図である。

【図16】(a)～(k)はそれぞれ第1変形例のフレームパターン位置暫定検出部の動作を説明するためのタイムチャートである。

【図17】本実施形態のフレームパターン位置暫定検出部の第2変形例を示すブロック図である。

【図18】第2変形例のフレームパターン位置暫定検出部における切り替え制御部の詳細構成を示すブロック図である。

【図19】(a)～(d)はそれぞれ第2変形例の切り替え制御部におけるタイマカウンタの動作を説明するためのタイムチャートである。

【図20】(a)～(f)はそれぞれ第2変形例のフレームパターン位置暫定検出部の動作を説明するためのタイムチャートである。

【図21】本実施形態のフレームパターン位置暫定検出部の第3変形例を示すブロック図である。

【図22】第3変形例のフレームパターン位置暫定検出

部における切り替え制御部の詳細構成を示すブロック図である。

【図23】(a)～(e)はそれぞれ第3変形例のフレームパターン位置暫定検出部の動作を説明するためのタイムチャートである。

【図24】本実施形態のフレームパターン位置暫定検出部の第4変形例を示すブロック図である。

【図25】本実施形態の暫定フレーム同期パターン検出部の変形例を示すブロック図である。

【図26】変形例としての暫定フレーム同期パターン検出部におけるA1・A2バイト検出部の構成を示すブロック図である。

【図27】(a), (b)はそれぞれ変形例としての暫定フレーム同期パターン検出部の動作を説明するための図である。

【図28】本実施形態の暫定領域データラッチ部の詳細構成を示すブロック図である。

【図29】本実施形態の暫定領域データラッチ部の動作を説明するための図である。

【図30】本実施形態の暫定領域データラッチ部の動作を説明するための図である。

【図31】本実施形態の暫定領域データラッチ部により得られる効果を説明するための図である。

【図32】本実施形態のフレーム同期パターン検出装置の他の構成を示すブロック図である。

【図33】フレーム同期パターン検出部の詳細構成を示すブロック図である。

【図34】本実施形態の暫定領域データラッチ部、フレーム同期パターン検出部の構成を示すブロック図である。

【図35】本実施形態のバイトスイッチ制御部の詳細構成を示すブロック図である。

【図36】(a), (b)はそれぞれ本実施形態のバイトスイッチ制御部の動作を説明するための図である。

【図37】本実施形態のバイトスイッチ制御部の動作を説明するための図である。

【図38】本実施形態のバイトスイッチ制御部の動作を説明するための図である。

【図39】(a)～(e)はそれぞれ本実施形態のバイトスイッチ制御部の動作を説明するためのタイムチャートである。

【図40】SDH (SONET) 伝送網の一例を示すブロック図である。

【図41】SDH伝送方式におけるSTM-1のフレーム・フォーマットを示す図である。

【図42】STM-1のセクションオーバーヘッドの構成を示す図である。

【図43】STM-4のセクションオーバーヘッドの構成を示す図である。

【図44】伝送端局装置の要部の構成例を示すブロック

図である。

【図45】フレーム同期パターン検出方法を説明するための図である。

【図46】フレーム同期パターン検出機能に着目したS OH終端処理部の構成を示すブロック図である。

【図47】フレーム同期パターン検出時の課題を説明するための図である。

【図48】フレーム同期パターン検出時の課題を説明するための図である。

【符号の説明】

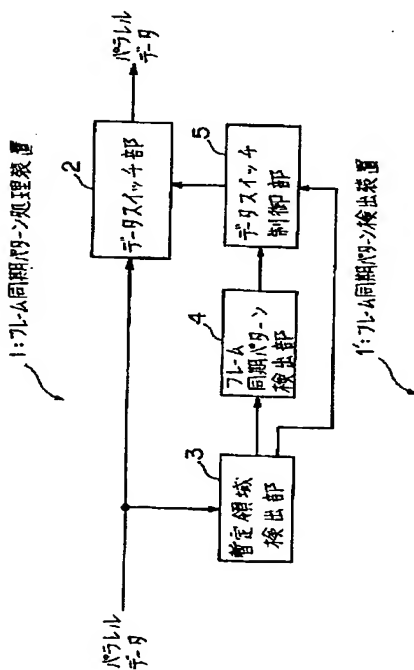
- 1, 11 フレーム同期パターン処理装置
- 1', 14 フレーム同期パターン検出装置
- 2, 13, 413 データスイッチ部〔バイトスイッチ (BSW) 部〕
- 3, 3', 15 暫定領域検出部〔暫定フレーム同期パターン検出部 (Pre FDET 部)〕
- 4, 4', 16 フレーム同期パターン検出部 (FDET 部)
- 5, 19, 418 データスイッチ制御部 (バイトスイッチ制御部)
- 12, 412 シリアル/パラレル (S/P) 変換部
- 16-1 シフトレジスタ部
- 16-2, 414-1～414-m フレーム同期パターン検出部
- 17, 416 フレームカウンタ
- 18, 417 同期保護部
- 19-1 m進カウンタ
- 19-2, 32c, 39, 40 デコーダ
- 19-3, 25-2, 25-3, 29-1, 32b, 35, 37 OR (論理和) ゲート
- 19-4, 25-1, 27-1～27-8, 33b フリップフロップ (FF) 回路
- 20, 20' フレームパターン位置暫定検出部 (暫定位置情報検出部)
- 21 暫定領域データラッチ部 (暫定領域データ保持部)
- 21A～21C FF段
- 21D～21F セレクタ段
- 21a-1～21a-m FF (シフト) 回路
- 21b-1～21b-m, 32a セレクタ (SEL)
- 22 A1バイト検出部
- 22-1～22-8 A1バイト検出回路
- 23 A2バイト検出部
- 23-1～23-8 A2バイト検出回路
- 24 切り替え制御部
- 25, 25', 33-1～33-8 制御部
- 26, 32e 反転ゲート
- 27 A1パターン番号保持部 (A1バイト先頭位置保持部)
- 28 比較部

28-1~28-8, 32d, 33c, 41 AND
(論理積)ゲート
29, 46 マスク処理部
30A~30C 無効処理部
31 タイマ(タイマカウンタ)
33a 1入力反転型ANDゲート
34-1~34-8 A1バイト連続性監視部
36-1~36-8 A1・A2バイト検出部
38, 42 シフトレジスタ
43 ラッチ回路
44 パラレル/シリアル変換回路
45 タイミング伸長部
47 検出タイミングパルス
48 伸長信号
231 セクションオーバーヘッド(SOH)
231A 中継セクションオーバーヘッド(RSOH)
231B 端局セクションオーバーヘッド(MSOH)
232 AU(AU-4)ポインタ
233 ペイロード(SPE)

301 加入者端末
302 回線終端装置(NT)
303, 306 伝送端局装置(LT)
304 交換装置(SW)
305 多重化装置(MUX)
307 中継伝送路
403A 現用系
403B 予備系
404 SOH終端処理部
405 AUポインタ処理部
406 TUポインタ処理部
407 エラスティックメモリ(ES)部
408 POH終端処理部(POH終端処理装置)
409 パススイッチアラーム挿入部
410 マイクロコンピュータ(マイコン: μ -COM)
411 クロスコネクタ装置(XC)
415 カウンタ制御部

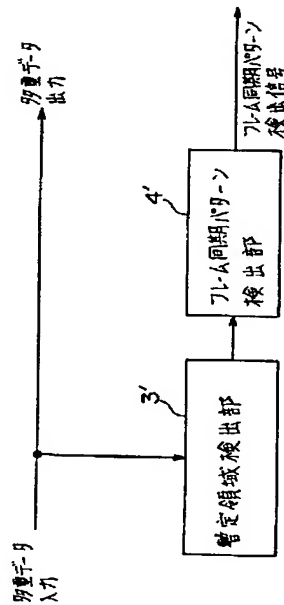
【図1】

本発明の原理ブロック図



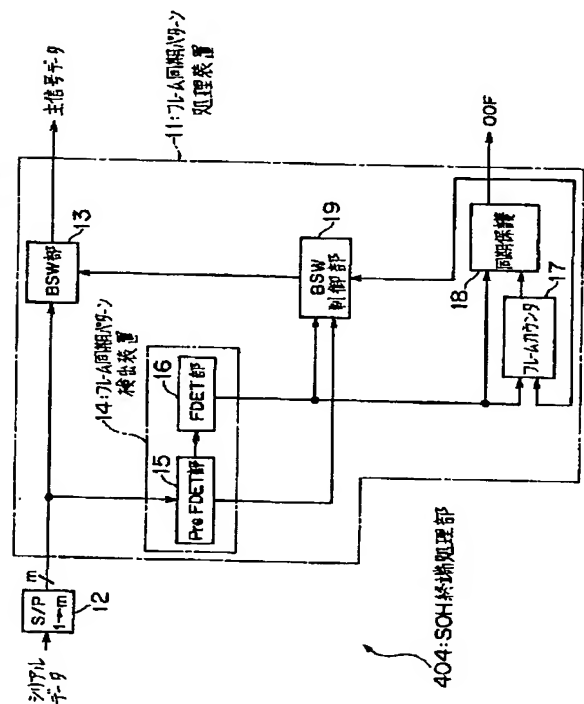
【図2】

本発明の原理ブロック図



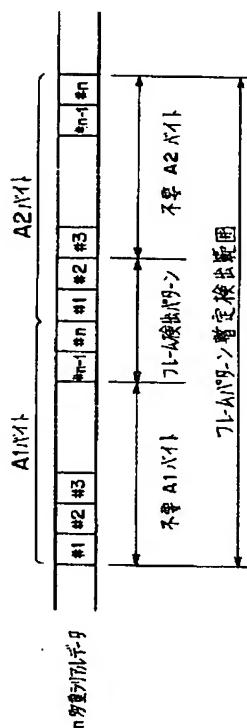
【図3】

本発明の一実施形態としてのフレーム同期バース処理装置の構成を示すブロック図



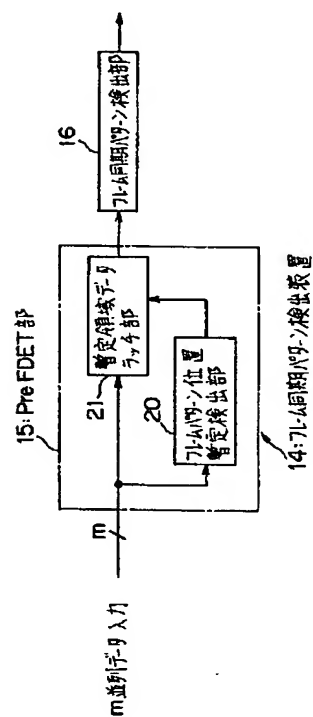
【図4】

本実施形態におけるフレーム同期パターンの検出概念を説明するための図



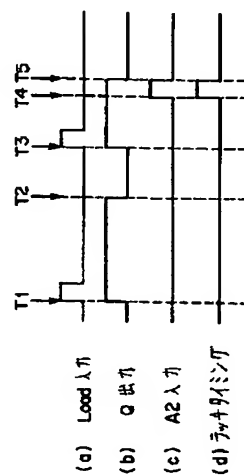
【図5】

本実施形態の暫定ﾌﾟﾚｰﾝ同期ﾊﾟﾀｰﾝ検出部の構成を示すブロック図



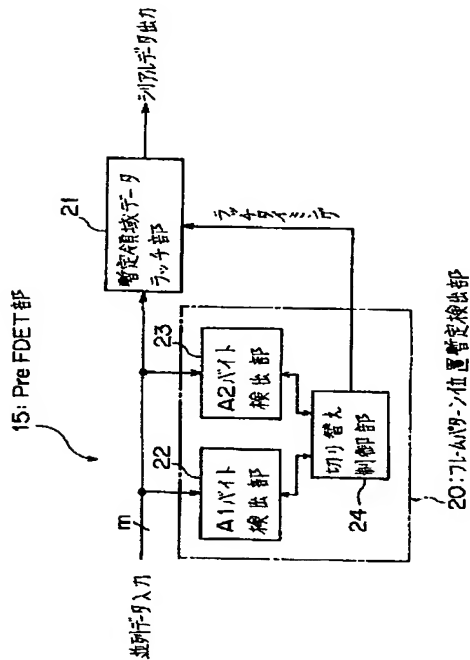
【図19】

第2変形例の切り替え制御部におけるタイマカウンタの動作を説明するためのタイムチャート



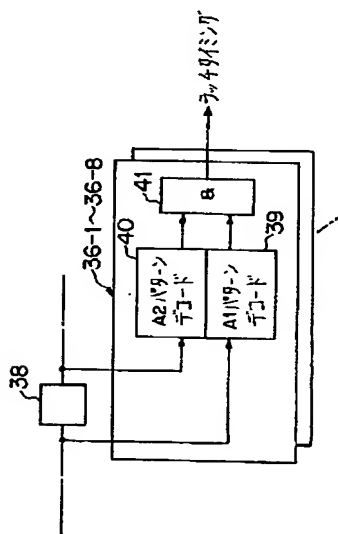
【図6】

本実施形態のフレーム位置暫定検出部の構成を示すブロック図



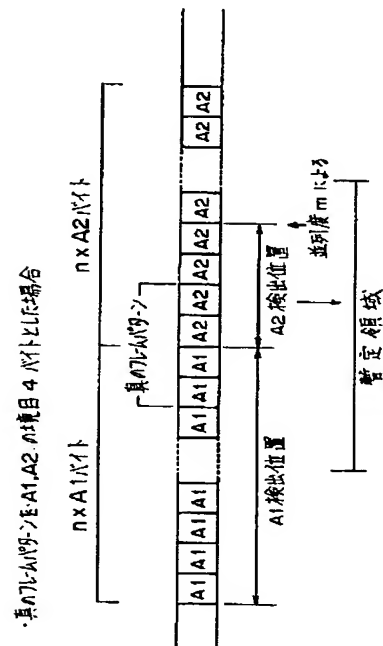
【図26】

変形例としての暫定フレーム同期パターン検出部におけるA1・A2
バイト検出部の構成を示すブロック図



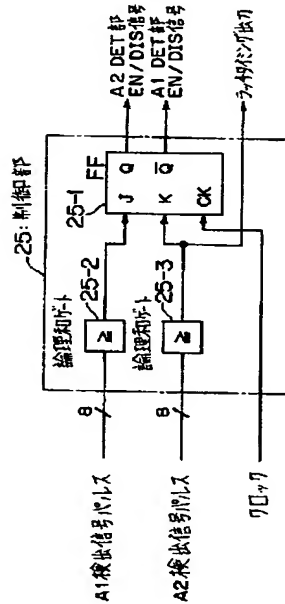
【図7】

本実施形態のフレームパター位置暫定検出部の動作を説明する
ための図



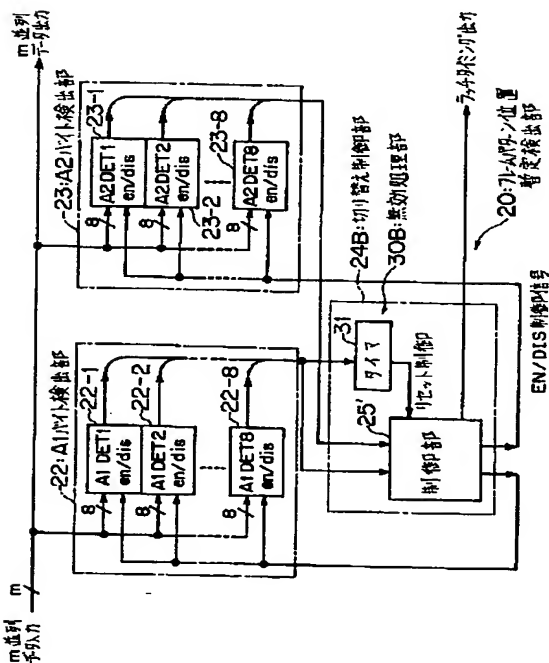
【図10】

本実施形態のフレイムパターン位置暫定検出部における制御部の構成を示すブロック図



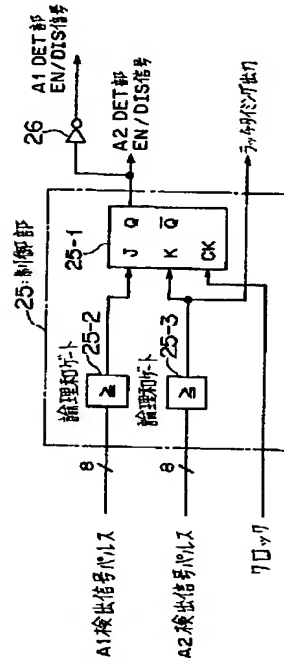
【図17】

本実施形態のフレイムパターン位置暫定検出部の第2変形例を示すブロック図



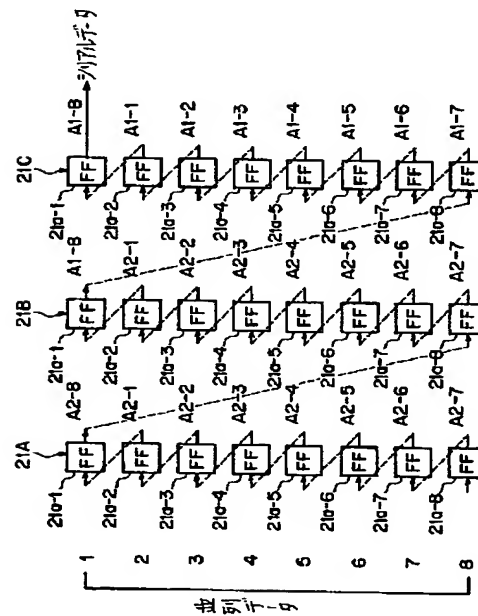
【図11】

本実施形態のフレイムパターン位置暫定検出部における制御部Aの構成を示すブロック図



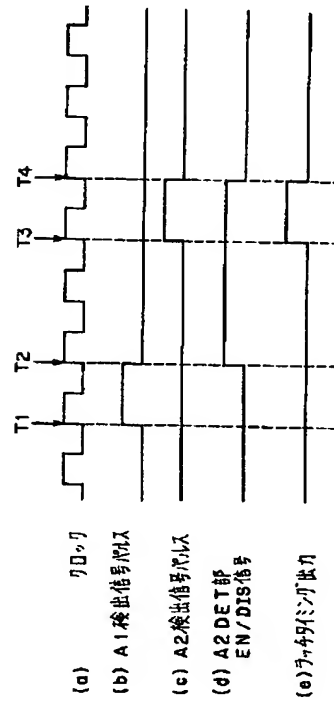
【図30】

本実施形態の暫定領域デリッチ部Aの動作を説明するための図



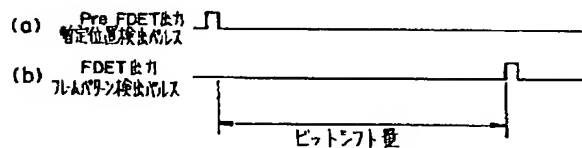
【图 13】

本実施形態のフレームパン位置暫定検出部における制御部の動作を説明するためのタイムチャート



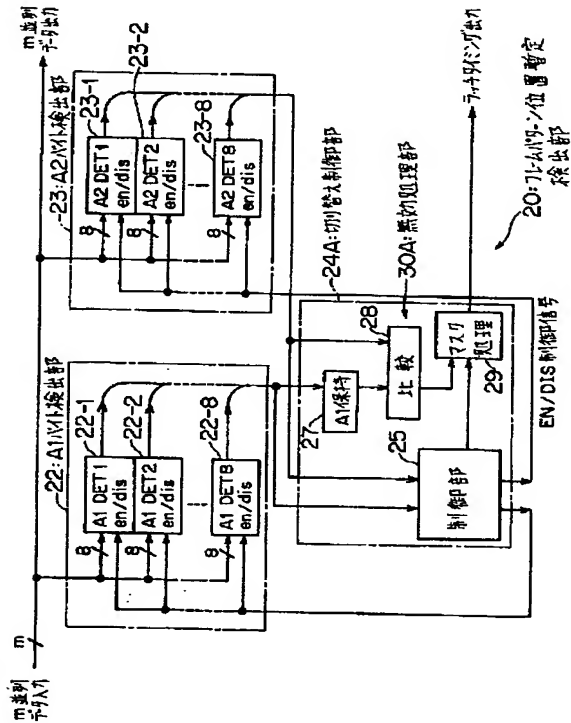
【図36】

本実施形態のバイトスイッチ制御部の動作を説明するための図



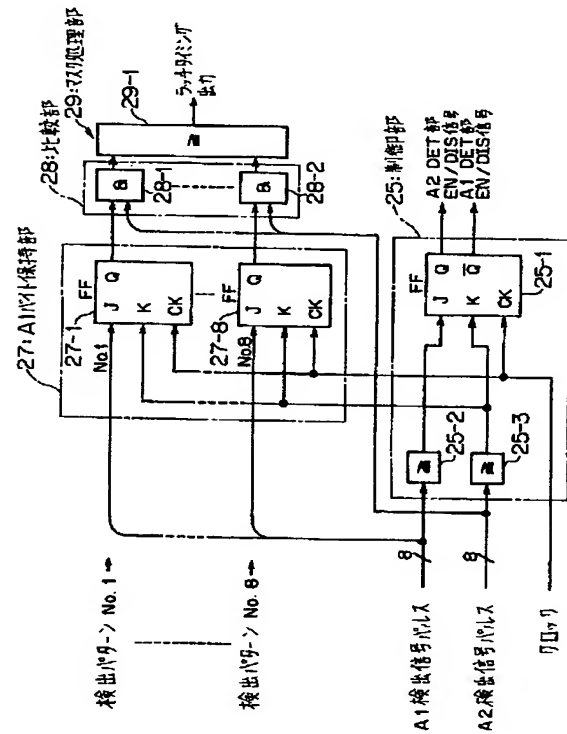
【図14】

本実施形態のフレームパターン位置暫定検出部の第1変形例を示すブロック図



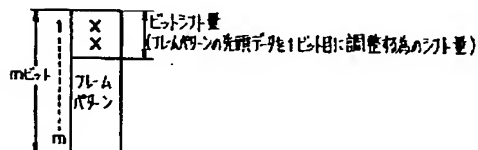
【図15】

第1変形例のフレームパターン位置暫定検出部における切り替え制御部の詳細構成を示すブロック図



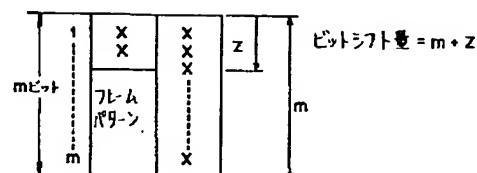
【図37】

本実施形態のバイトスイッチ制御部の動作を説明するための図



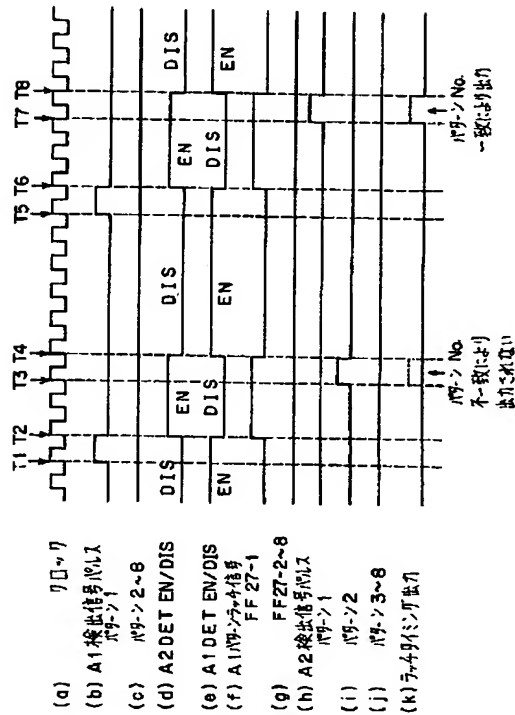
【図38】

本実施形態のバイトスイッチ制御部の動作を説明するための図



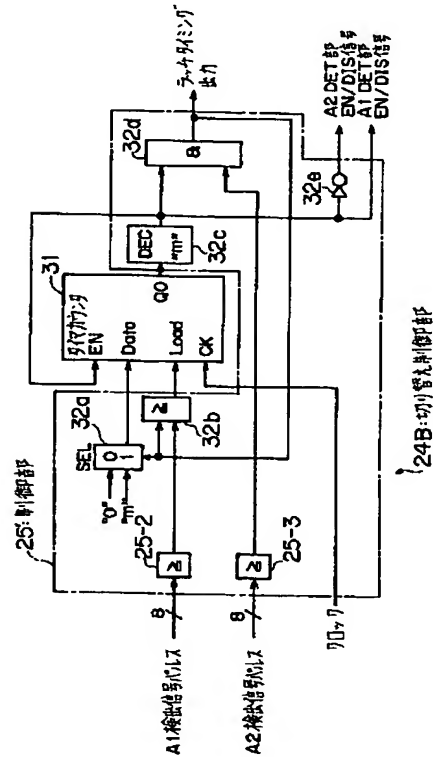
【図16】

第1変形例のフレームパターン位置暫定検出部の動作を説明するためのタイムチャート



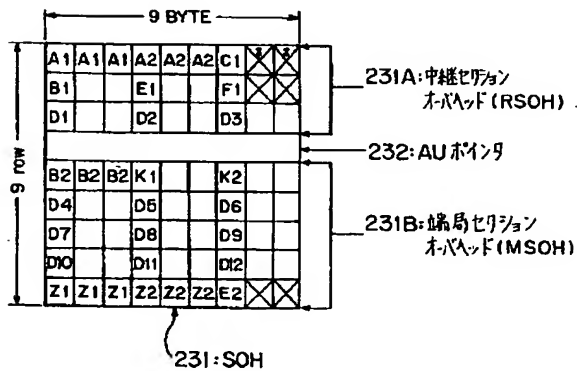
【図18】

第2変形例のフレームパターン位置暫定検出部における切り替え制御部の詳細構成を示すブロック図



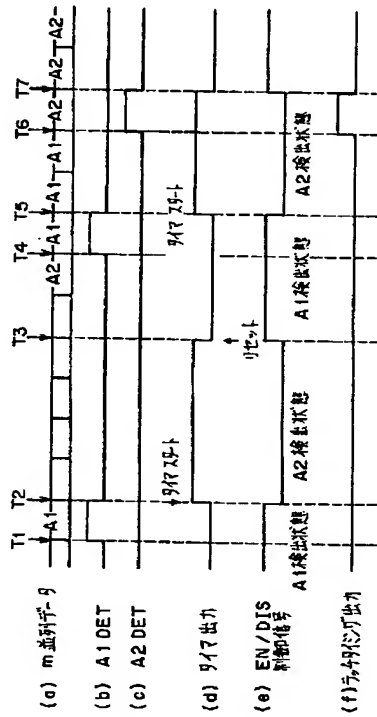
【図42】

STM-1のセリジョンオーバーヘッドの構成を示す図



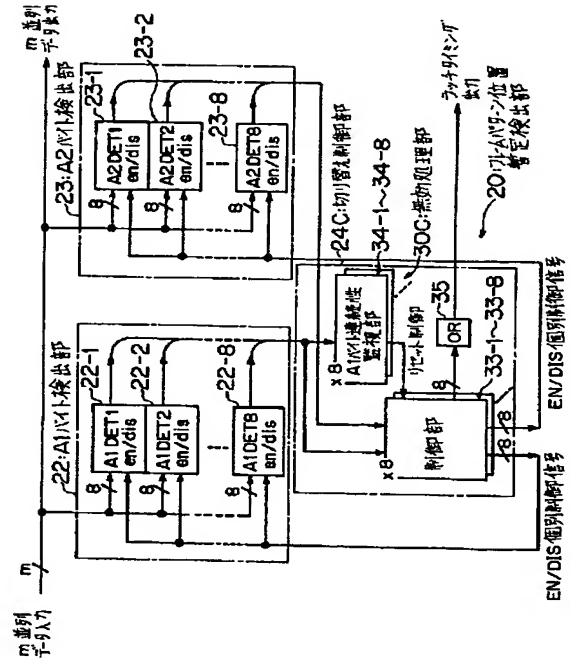
【図20】

第2変形例のフレムパターン位置暫定検出部Aの動作を説明するためのタイムチャート



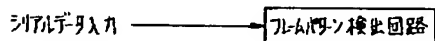
【図21】

本実施形態のフレムパターン位置暫定検出部A第3変形例を示すブロック図



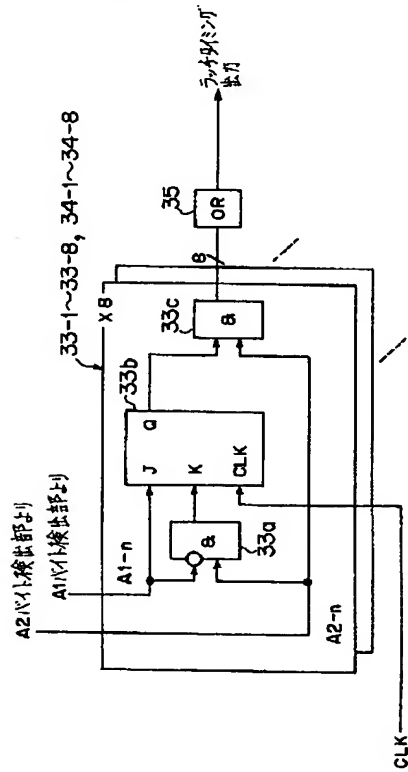
【図47】

フレム同期パターン検出時の課題を説明するための図



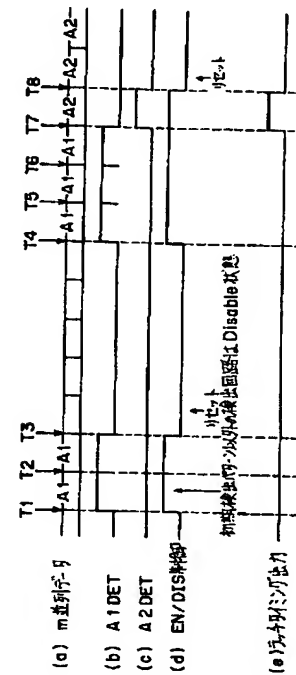
【図22】

第3変形例のフレムパタン位置暫定検出部における切り替え制御部の詳細構成を示すブロック図



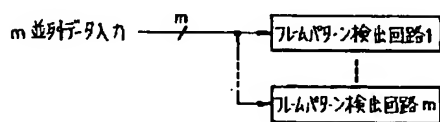
【図23】

第3変形例のフレムパタン位置暫定検出部の動作を説明するためのタイムチャート



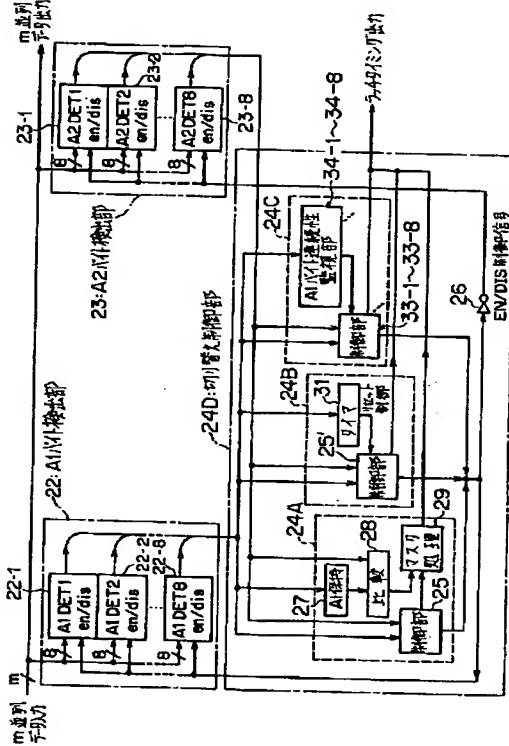
【図48】

フレム同期パタン検出時の結果を説明するための図



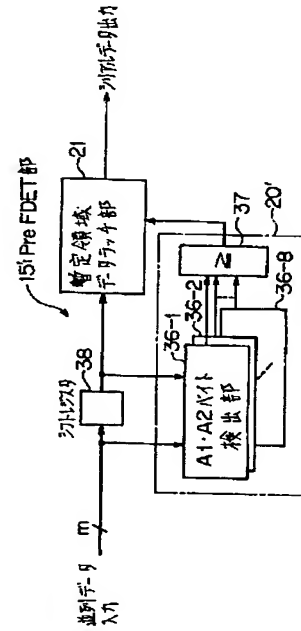
【図24】

本実施形態のフレームパズン位置暫定検査部の第4変形例を示すブロック図



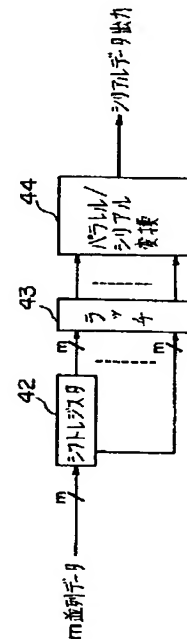
【図25】

本実施形態の暫定フレーム同期パズン検査部の変形例を示すブロック図



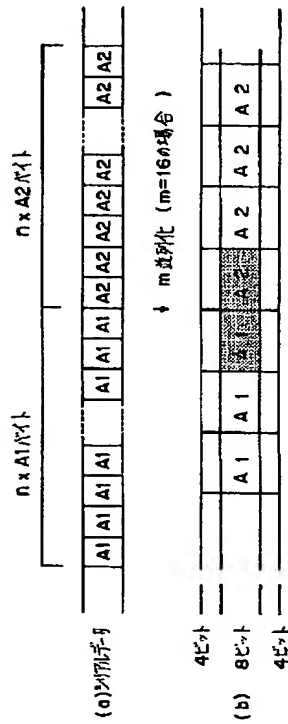
【図31】

本実施形態の暫定領域デマルチプレクサ部により得られる効果を説明するための図



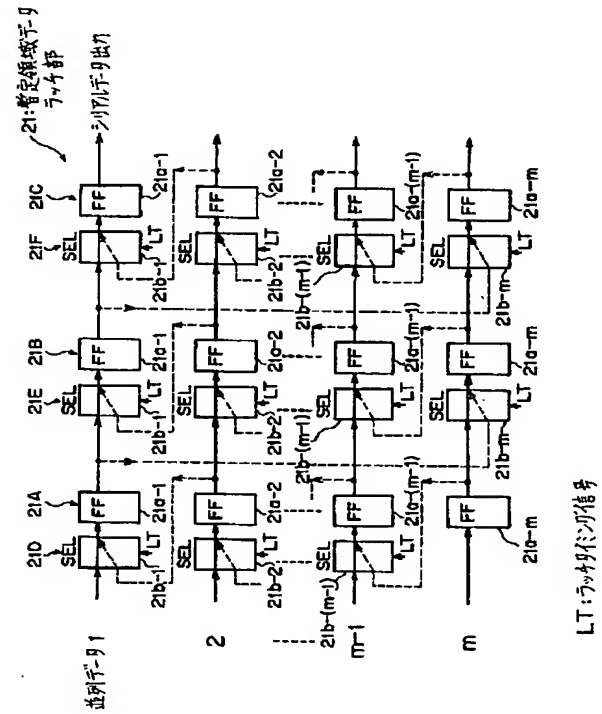
【図27】

変形例としての暫定フレーム同期パターン検出部の動作を説明するための図



【図28】

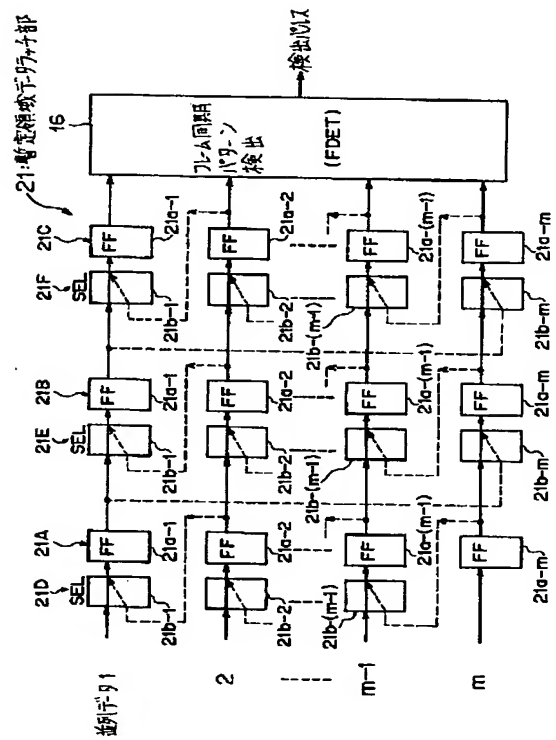
本実施形態の暫定領域デラッチ部の詳細構成を示すブロック図



LT:ラッチタイミング信号

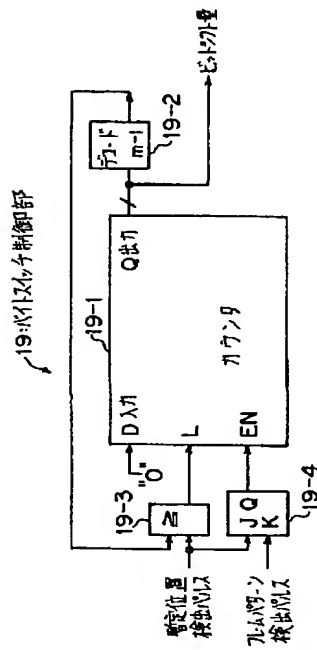
【図34】

本実施形態の暫定領域デラッチ部、FL-A同期パージン検出部の構成を示すブロック図



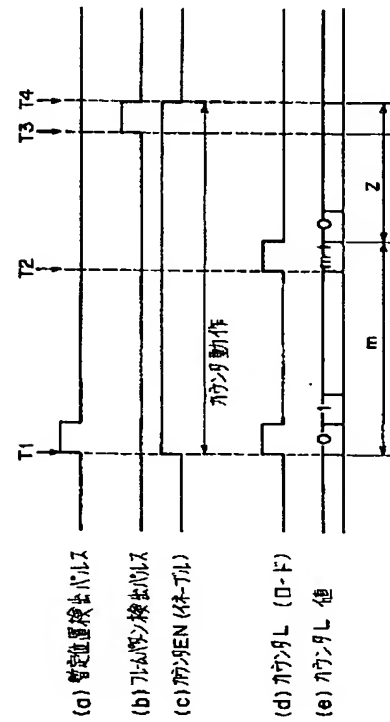
【図35】

本実施形態のバイトスイッチ制御部の詳細構成を示すブロック図



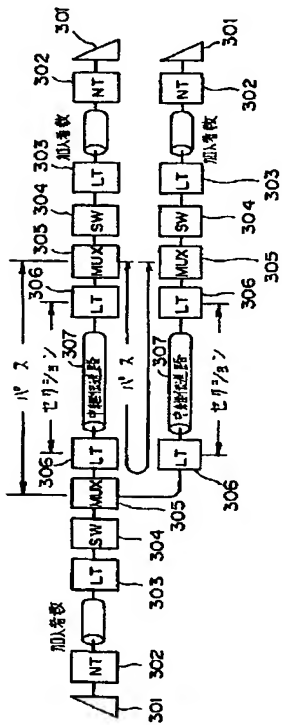
【図39】

本実施形態のバイトスイッチ制御部の動作を説明するためのタイムチャート



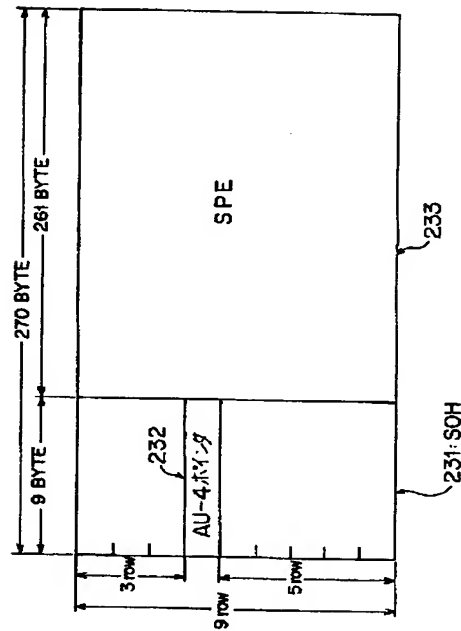
【図40】

SDH伝送網A-例を示すブロック図



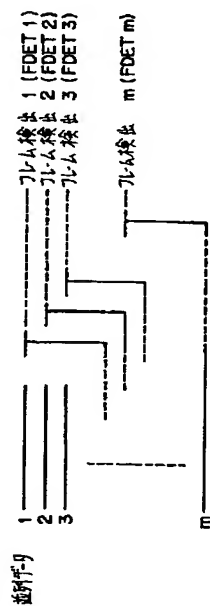
【図41】

SDH伝送方式におけるSTM-1のフレームフォーマットを示す図



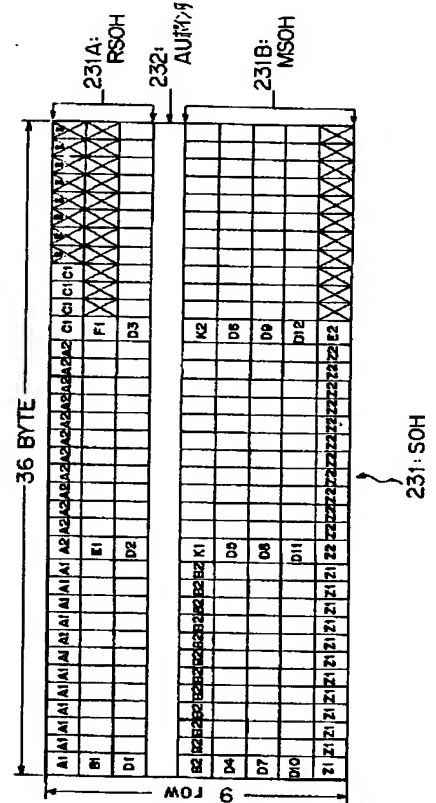
【図45】

フレーム同期パターン検出方法を説明するための図



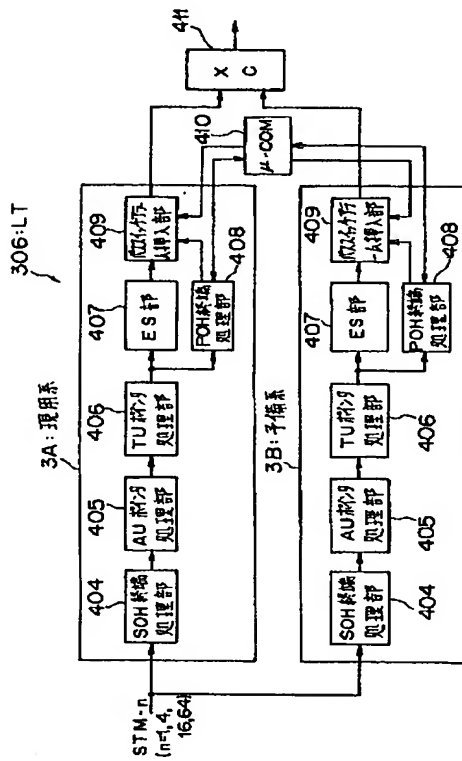
【図43】

STM-4のセリフソフオーバヘッドの構成を示す図



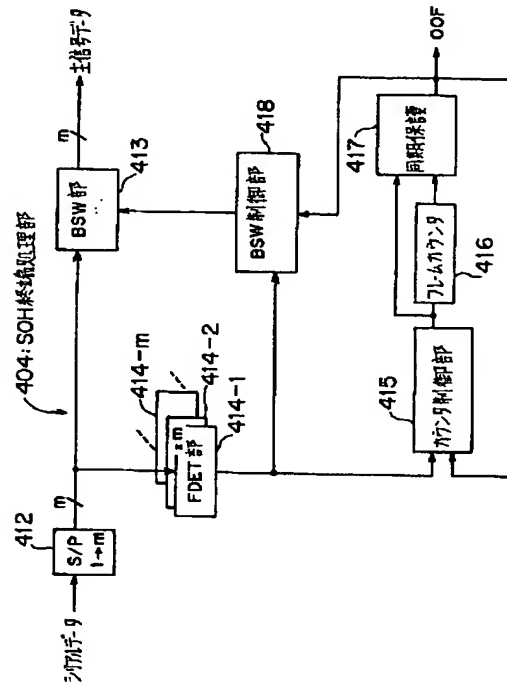
【図44】

伝送端局装置の受部の構成を示すブロック図



【図46】

フレーム同期パターン検出機能に着目した SOH 終端処理部の構成を示すブロック図



THIS PAGE BLANK (USPTO)